

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-186524

(43)公開日 平成11年(1999) 7 月 9 日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 F

21/8242

6 2 1 B

6 2 1 C

審査請求 未請求 請求項の数30 F D (全 57 頁)

(21)出願番号

特願平9-367189

(22)出願日

平成 9 年 (1997) 12 月 24 日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72)発明者 田中 義典

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

(72)発明者 清水 雅裕

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

(72)発明者 有馬 秀明

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

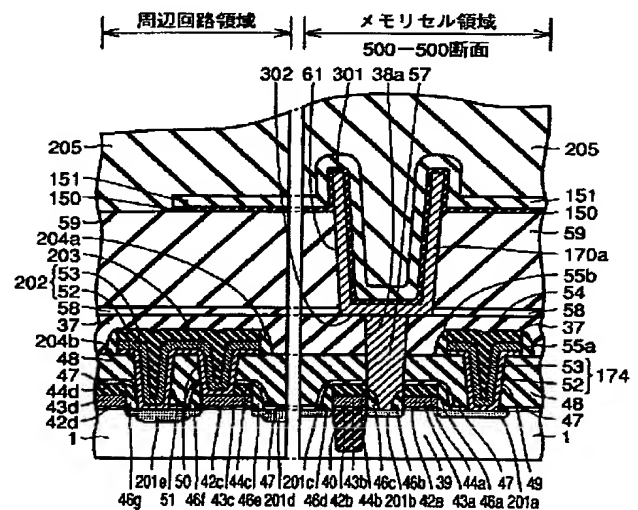
(74)代理人 弁理士 深見 久郎 (外 3 名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 一定のキャパシタ容量を確保しつつ、高集積化が可能で、高い信頼性を有する半導体装置およびその製造方法を提供する。

【解決手段】 メモリセル領域と周辺回路領域とを含む半導体装置であって、半導体基板 1 の主表面上に上記メモリセル領域から周辺回路領域まで延在するように形成された上部表面を有する絶縁膜 59 を備える。メモリセル領域内で、半導体基板 1 の主表面上に絶縁膜 59 の上部表面よりも上方に延びるように、キャパシタ下部電極 170a を形成する。キャパシタ下部電極 170a の上に誘電体膜 150 を介在して、絶縁膜 59 の上部表面上に延在するようにキャパシタ上部電極 150 を形成する。キャパシタ下部電極 170a は頂面 301 と底面 302 とを有するキャパシタ下部電極部分を含む。絶縁膜 59 の上部表面は、キャパシタ下部電極部分の頂面 301 と底面 302 との間に位置する。



## 【特許請求の範囲】

【請求項 1】 メモリセル領域と周辺回路領域とを含む半導体装置であって、

主表面を有する半導体基板と、

前記半導体基板の主表面上に、前記メモリセル領域から前記周辺回路領域まで延在するように形成された、上部表面を有する絶縁膜と、

前記メモリセル領域内において、前記半導体基板の主表面上に前記絶縁膜の上部表面よりも上方に延びるように形成されたキャパシタ下部電極と、

前記キャパシタ下部電極上に誘電体膜を介在して、前記絶縁膜の上部表面上にまで延在するように形成されたキャパシタ上部電極とを備え、

前記キャパシタ下部電極は、前記キャパシタ上部電極と対向して上方に延び、頂面と底面とを有するキャパシタ下部電極部分を含み、

前記絶縁膜の上部表面は、前記キャパシタ下部電極部分の頂面と底面との間に位置する、半導体装置。

【請求項 2】 メモリセル領域と周辺回路領域とを含む半導体装置であって、

主表面を有する半導体基板と、

前記半導体基板の主表面上に、前記メモリセル領域から前記周辺回路領域まで延在するように形成された、上部表面を有する絶縁膜と、

前記メモリセル領域内において、前記半導体基板の主表面上に前記絶縁膜の上部表面とほぼ同一の高さまで延びるように形成された、前記絶縁膜の一部を介して隣接する第 1 および第 2 のキャパシタ下部電極を含むキャパシタ下部電極と、

前記キャパシタ下部電極上に誘電体膜を介在して、前記絶縁膜上部表面上にまで延在するように形成されたキャパシタ上部電極とを備え、

前記キャパシタ下部電極は、前記キャパシタ上部電極と対向して上方に延び、頂面と底面とを有するキャパシタ下部電極部分を含み、

前記絶縁膜の一部は写真製版加工により形成可能な最小加工寸法より小さい幅を有する、半導体装置。

【請求項 3】 前記キャパシタ下部電極の側面が湾曲面を有する、請求項 2 に記載の半導体装置。

【請求項 4】 前記絶縁膜は、エッチングレートのそれぞれ異なる上部絶縁膜と下部絶縁膜とを含む、請求項 2 または 3 に記載の半導体装置。

【請求項 5】 前記キャパシタ下部電極は、第 1 および第 2 のキャパシタ下部電極を含み、

前記メモリセル領域内で、前記第 1 および第 2 のキャパシタ下部電極は前記絶縁膜の一部を介して互いに隣接するように形成され、

前記絶縁膜の一部は、写真製版加工により形成可能な最小加工寸法より小さい幅を有する、請求項 1 に記載の半導体装置。

【請求項 6】 前記絶縁膜の上部表面より上に位置する前記キャパシタ下部電極の側面に形成されたサイドウォール電極部を備える、請求項 1 または 5 に記載の半導体装置。

【請求項 7】 前記キャパシタ下部電極部分の側面もしくは底面の一部のみと前記絶縁膜との間に形成された前記誘電体膜を備える、請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

10 【請求項 8】 前記キャパシタ下部電極の表面または前記サイドウォール電極部表面の少なくとも一部に粒状結晶を備える、請求項 1 ～ 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】 前記キャパシタ下部電極下に位置する領域において、前記半導体基板の主表面上に形成された第 1 の配線層と、

前記第 1 の配線層上において、前記第 1 の配線層と前記キャパシタ下部電極部分とに接触するように形成された第 1 の層間絶縁膜とを備える、請求項 1 ～ 8 のいずれか 1 項に記載の半導体装置。

20 【請求項 10】 前記キャパシタ下部電極下に位置する領域において、前記半導体基板の主表面に形成された第 1 の導電領域と、

前記第 1 の導電領域上に形成され、前記第 1 の導電領域の表面を露出させる第 1 のコンタクトホールを有する第 2 の層間絶縁膜と、

前記第 2 の層間絶縁膜上に形成された第 2 の配線層と、前記第 1 のコンタクトホールの内部に形成された、前記第 1 の導電領域と前記第 2 の配線層とを電気的に接続する接続導電体膜とを備え、

30 前記第 2 の配線層の幅は、前記第 1 のコンタクトホールの幅よりも小さい、請求項 1 ～ 9 のいずれか 1 項に記載の半導体装置。

【請求項 11】 前記キャパシタ下部電極下に位置する領域において、前記半導体基板の主表面に形成された第 2 の導電領域と、

前記第 2 の導電領域上に形成され、前記第 2 の導電領域の表面を露出させる第 2 のコンタクトホールを有する第 3 の層間絶縁膜と、

前記第 3 の層間絶縁膜上に形成された第 3 の配線層と、

40 前記第 3 の配線層上に形成された配線保護膜と、前記第 2 のコンタクトホールの内部に形成された、前記第 2 の導電領域と前記キャパシタ下部電極とを電気的に接続する導電体膜とを備え、

前記配線保護膜は、前記キャパシタ下部電極もしくは前記導電体膜と接触している、請求項 1 ～ 10 のいずれか 1 項に記載の半導体装置。

【請求項 12】 前記周辺回路領域にまで延在するように形成された前記キャパシタ上部電極と、

50 前記キャパシタ上部電極上に形成され、前記キャパシタ上部電極の表面を露出させる第 3 のコンタクトホールを

有する第4の層間絶縁膜と、  
前記第3のコンタクトホール下に位置する領域において、前記絶縁膜下に形成された周辺回路素子保護膜とを備える、請求項1～11のいずれか1項に記載の半導体装置。

【請求項13】 前記周辺回路領域において周辺回路領域開口部を有する周辺回路絶縁膜と、  
前記周辺回路領域開口部の内部にまで延在するように形成された前記キャパシタ上部電極と、  
前記周辺回路領域開口部上に形成され、前記キャパシタ上部電極の表面を露出させる第4のコンタクトホールを有する第4の層間絶縁膜とを備える、請求項1～11のいずれか1項に記載の半導体装置。

【請求項14】 前記周辺回路領域にまで延在するように形成された前記キャパシタ上部電極と、  
前記キャパシタ上部電極上に形成され、前記キャパシタ上部電極の表面を露出させる第5のコンタクトホールを有する第4の層間絶縁膜と、  
前記周辺回路領域において、前記絶縁膜下に形成された周辺回路素子とを備え、  
前記第5のコンタクトホールは、前記周辺回路素子と平面的に重ならない領域に形成されている、請求項1～11のいずれか1項に記載の半導体装置。

【請求項15】 メモリセル領域と周辺回路領域とを含む半導体装置の製造方法であって、  
半導体基板の主表面上に、前記メモリセル領域から前記周辺回路領域まで延在するように、上部表面を有する絶縁膜を形成する工程と、  
前記メモリセル領域内で、前記絶縁膜の一部をエッチングにより除去することにより、開口部を形成する工程と、  
前記半導体基板の主表面上において、前記開口部の内部にキャパシタ下部電極を形成する工程と、  
前記キャパシタ下部電極上に誘電体膜を介在して、前記絶縁膜の上部表面上にまで延在するようにキャパシタ上部電極を形成する工程とを備え、  
前記キャパシタ下部電極を形成する工程は、前記キャパシタ上部電極と対向して上方に延び、頂面と底面とを有するキャパシタ下部電極部分を形成する工程を含み、  
前記絶縁膜を形成する工程は、前記絶縁膜の上部表面の位置を前記キャパシタ下部電極部分の頂面と底面との間に位置させる工程を含む、半導体装置の製造方法。

【請求項16】 メモリセル領域と周辺回路領域とを含む半導体装置の製造方法であって、  
半導体基板の主表面上に、前記メモリセル領域から前記周辺回路領域まで延在するように、上部表面を有する絶縁膜を形成する工程と、  
前記メモリセル領域内において、前記絶縁膜の一部をエッチングにより除去することにより、隣接した第1および第2の開口部を含む開口部を形成する工程と、

前記開口部の幅をエッチングにより広げることにより、  
前記第1および第2の開口部の間に形成されている前記絶縁膜の一部の幅を写真製版加工により形成可能な最小加工寸法より小さくする工程と、  
前記半導体基板の主表面上に前記絶縁膜の上部表面とほぼ同一の高さまで延びるように、前記開口部の内部にキャパシタ下部電極を形成する工程と、  
前記キャパシタ下部電極上に誘電体膜を介在して、前記絶縁膜の上部表面上にまで延在するようにキャパシタ上部電極を形成する工程とを備え、  
前記キャパシタ下部電極を形成する工程は、前記第1および第2の開口部の内部に、それぞれ第1および第2のキャパシタ下部電極を形成する工程を含み、  
前記キャパシタ下部電極を形成する工程は、キャパシタ上部電極と対向して上方に延び、頂面と底面とを有するキャパシタ下部電極部分を形成する工程を含む、半導体装置の製造方法。

10

20

【請求項17】 前記開口部の幅をエッチングにより広げる工程は、前記開口部の側面を湾曲面を有するように形成する工程を含む、請求項16に記載の半導体装置の製造方法。

【請求項18】 前記絶縁膜を形成する工程は、下部絶縁膜を形成する工程と、  
前記下部絶縁膜とはエッチングレートの異なる上部絶縁膜を、前記下部絶縁膜上に形成する工程とを含む、請求項16または17に記載の半導体装置の製造方法。

30

【請求項19】 前記絶縁膜を形成する工程は、下部絶縁膜を形成する工程と、  
前記下部絶縁膜とはエッチングレートの異なる上部絶縁膜を前記下部絶縁膜上に形成する工程とを含み、  
前記絶縁膜の上部表面を前記キャパシタ下部電極部分の頂面と底面との間に位置させる工程は、前記上部絶縁膜を除去する工程を含む、請求項15に記載の半導体装置の製造方法。

【請求項20】 前記絶縁膜の上部表面を前記キャパシタ下部電極部分の頂面と底面との間に位置させる工程は、前記絶縁膜の一部をエッチングにより除去する工程を含む、請求項15に記載の半導体装置の製造方法。

40

【請求項21】 前記開口部を形成する工程は、前記絶縁膜の一部をエッチングにより除去することにより、互いに隣接する第1の開口部と第2の開口部とを形成する工程を含み、

前記キャパシタ下部電極を形成する工程は、前記第1および第2の開口部の内部にそれぞれ第1および第2のキャパシタ下部電極を形成する工程を含み、  
前記第1および第2の開口部の幅をエッチングにより広げることにより、前記第1および第2の開口部の間に形成されている前記絶縁膜の一部の幅を、写真製版加工により形成可能な最小加工寸法より小さくする工程とをさらに備える、請求項15、19および20のいずれか1

50

項に記載の半導体装置の製造方法。

【請求項 22】 前記絶縁膜の上部表面より上に位置する前記キャパシタ下部電極の側面にサイドウォール電極部を形成する工程を備える、請求項 15、19～21 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 23】 前記開口部の側面もしくは底面の一部上に空隙形成用絶縁膜を形成する工程と、前記キャパシタ下部電極を形成した後、前記空隙形成用絶縁膜の少なくとも一部を除去することにより、前記キャパシタ下部電極部分の側面もしくは底面の一部のみと前記絶縁膜との間に空隙を形成する工程とを備える、請求項 15～22 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 24】 前記キャパシタ下部電極表面または前記サイドウォール電極部表面の少なくとも一部に粒状結晶を形成する工程を備える、請求項 15～23 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 25】 前記キャパシタ下部電極下に位置する領域において、前記半導体基板の主表面上に第 1 の配線層を形成する工程と、前記第 1 の配線層上において、前記第 1 の配線層と接触するように第 1 の層間絶縁膜を形成する工程を備え、前記キャパシタ下部電極を形成する工程は、前記第 1 の層間絶縁膜に接触するように前記キャパシタ下部電極部分を形成する工程を含む、請求項 15～24 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 26】 前記キャパシタ下部電極下に位置する領域において、前記半導体基板の主表面に第 1 の導電領域を形成する工程と、前記第 1 の導電領域上に第 2 の層間絶縁膜を形成する工程と、前記第 2 の層間絶縁膜上に第 2 の配線層を形成する工程と、前記第 2 の層間絶縁膜の一部をエッチングにより除去することにより、第 1 のコンタクトホールを形成する工程と、前記第 1 のコンタクトホールの内部に、前記第 1 の導電領域と前記第 2 の配線層とを電気的に接続する接続導電体膜を形成する工程とを備え、前記第 2 の配線層を形成する工程は、前記第 2 の配線層の幅を、前記第 1 のコンタクトホールの幅よりも小さくする工程を含む、請求項 15～25 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 27】 前記キャパシタ下部電極下に位置する領域において、前記半導体基板の主表面に第 2 の導電領域を形成する工程と、前記第 2 の導電領域上に第 3 の層間絶縁膜を形成する工程と、前記第 3 の層間絶縁膜上に第 3 の配線層を形成する工程と、

前記第 3 の配線層上に配線保護膜を形成する工程と、前記第 2 の導電領域と前記キャパシタ下部電極とを電気的に接続するために、少なくとも前記第 3 の層間絶縁膜の一部をエッチングにより除去することにより、第 2 のコンタクトホールを形成する工程とを備え、前記第 2 のコンタクトホールを形成する工程におけるエッチングに用いるマスクの一部として、前記配線保護膜を用いる、請求項 15～26 のいずれか 1 項に記載の半導体装置の製造方法。

- 10 【請求項 28】 前記周辺回路領域にまで延在するように前記キャパシタ上部電極を形成する工程と、前記キャパシタ上部電極上に第 4 の層間絶縁膜を形成する工程と、前記周辺回路領域において、少なくとも前記第 4 の層間絶縁膜の一部をエッチングにより除去することにより、第 3 のコンタクトホールを形成する工程と、前記第 3 のコンタクトホール下に位置する領域において、前記絶縁膜下に周辺回路素子保護膜を形成する工程とを備え、
- 20 前記第 3 のコンタクトホールを形成する工程は、前記第 3 のコンタクトホールの側面もしくは底面において、前記キャパシタ上部電極の一部を露出させる工程を含む、請求項 15～27 のいずれか 1 項に記載の半導体装置の製造方法。

- 【請求項 29】 前記周辺回路領域において、周辺回路絶縁膜を形成する工程と、前期周辺回路絶縁膜の一部をエッチングにより除去することにより周辺回路領域開口部を形成する工程と、前記周辺回路領域開口部の内部にまで延在するように前記キャパシタ上部電極を形成する工程と、
- 30 前記キャパシタ上部電極上に第 4 の層間絶縁膜を形成する工程と、前記周辺回路領域開口部上に位置する領域における前記第 4 の層間絶縁膜の一部をエッチングにより除去することにより、第 4 のコンタクトホールを形成する工程とを備え、前記第 4 のコンタクトホールを形成する工程は、前記第 4 のコンタクトホールの底部において、前記キャパシタ上部電極の一部を露出させる工程を含む、請求項 15～27 のいずれか 1 項に記載の半導体装置の製造方法。

- 40 【請求項 30】 前記周辺回路領域にまで延在するように前記キャパシタ上部電極を形成する工程と、前記キャパシタ上部電極上に第 4 の層間絶縁膜を形成する工程と、前記周辺回路領域において、少なくとも前記第 4 の層間絶縁膜の一部をエッチングにより除去することにより、第 5 のコンタクトホールを形成する工程と、前記周辺回路領域において、前記絶縁膜下に位置する領域に周辺回路素子を形成する工程とを備え、
- 50 前記第 5 のコンタクトホールを形成する工程は、

前記第5のコンタクトホール1049の底部において、前記キャパシタ上部電極の一部を露出させる工程と、  
前記第5のコンタクトホールを、前記周辺回路素子と平面的に重ならない領域に形成する工程とを含む、請求項15～27のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関し、より特定的には、キャパシタを備える半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、半導体装置、特にDRAM（Dynamic Random Access Memory）などに代表される半導体記憶装置においては、高集積化、微細化の要求がますます強くなってきている。図114は、従来のDRAMのメモリセル領域の一部の平面模式図である。図114を参照して、従来のDRAMのメモリセルは、電界効果型トランジスタとキャパシタ下部電極1170a、1170bを含むキャパシタと、ワード線1043a、1043b、1043e、1043fと、ビット線1174とを備える。上記電界効果型トランジスタは、ゲート電極として作用するワード線1043a、1043eと、ソース／ドレイン領域として作用する活性領域1039とから構成される。具体的には、半導体基板の主表面上に活性領域1039が形成され、半導体基板の主表面上にはワード線1043a、1043b、1043e、1043fが形成されている。そして、ワード線1043a、1043b、1043e、1043fと半導体基板の主表面上とは第1の層間絶縁膜（図示せず）が形成されている。そして、この第1の層間絶縁膜上には、ワード線1043a、1043b、1043e、1043fとほぼ直交するように、ビット線1174が形成されている。そして、ビット線1174と第1の層間絶縁膜上とは、第2の層間絶縁膜（図示せず）が形成されている。第2の層間絶縁膜上にはキャパシタ下部電極1170a、1170bが形成されている。ビット線1174は、コンタクトホール1049において、活性領域1039と電気的に接続されている。キャパシタ下部電極1170a、1170bは、それぞれコンタクトホール1038a、1038bにおいて、活性領域1039における上記電界効果型トランジスタのソース／ドレイン領域の一方と電気的に接続されている。そして、このDRAMのメモリセルの線分500-500における断面図が、図115に示されている。

【0003】図115は、図114の線分500-500における断面と、DRAMの周辺回路領域の断面とを示した断面図である。図115を参照して、DRAMのメモリセル領域においては、トレンチ分離酸化膜1040に囲まれた活性領域1039に、電界効果型トランジ

スタのソース／ドレイン領域1201a、1201bが形成されている。この1対のソース／ドレイン領域1201a、1201bに挟まれたチャネル領域上には、ゲート絶縁膜1042aを介して、ゲート電極1043aが形成されている。ゲート電極1043a上にはシリコン窒化膜1044aが形成されている。ゲート電極1043aはn型ドーフトポリシリコンからなる。ゲート電極1043aとシリコン窒化膜1044aとの側面には、シリコン窒化膜からなるサイドウォール1046a、1046bが形成されている。サイドウォール1046a、1046bとシリコン窒化膜1044aと半導体基板1の主表面上との上にはノンドーフトシリコン酸化膜1047が形成されている。トレンチ分離酸化膜1040上には、ゲート絶縁膜1042bを介してゲート電極1043bが形成されている。ゲート電極1043b上にはシリコン窒化膜1044bが形成されている。ゲート電極1043bとシリコン窒化膜1044bとの側面にはシリコン窒化膜からなるサイドウォール1046c、1046dが形成されている。サイドウォール1046c、1046dとシリコン窒化膜1044bとの上には、ノンドーフトシリコン酸化膜1047が形成されている。このノンドーフトシリコン酸化膜1047上には、第1の層間絶縁膜1048が形成されている。第1の層間絶縁膜1048とノンドーフトシリコン酸化膜1047との一部をエッチングにより除去することにより、コンタクトホール1049が形成されている。コンタクトホール1049の内部と第1の層間絶縁膜1048上とはドーフトポリシリコン膜1052が形成されている。ドーフトポリシリコン膜1052上には高融点金属シリサイド膜1053が形成されている。このドーフトポリシリコン膜1052と高融点金属シリサイド膜1053とから、ビット線1174が構成されている。高融点金属シリサイド膜1053上には、シリコン窒化膜1054が形成されている。シリコン窒化膜1054と高融点金属シリサイド膜1053とドーフトポリシリコン膜1052との側面には、シリコン窒化膜からなるサイドウォール1055a、1055bが形成されている。第1の層間絶縁膜1048とサイドウォール1055a、1055bとシリコン窒化膜1054との上には、第2の層間絶縁膜1037が形成されている。第1および第2の層間絶縁膜1048、1037の一部を除去することにより、キャパシタ下部電極1170aとソース／ドレイン領域の一方とを電気的に接続するためのコンタクトホール1038aが形成されている。コンタクトホール1038aの内部には、ドーフトポリシリコンからなるプラグ1057が形成されている。そして、開口部1038aと第2の層間絶縁膜1037との上には、キャパシタ下部電極1170aが形成されている。このキャパシタ下部電極1170aは、少ない占有面積でキャパシタの容量を確保するために、円筒型の構造を

備えている。そして、キャパシタ下部電極1170aと第2の層間絶縁膜1037との上には、誘電体膜1150が形成されている。誘電体膜1150上には、キャパシタ上部電極1151が形成されている。キャパシタ上部電極1151上には、第3の層間絶縁膜1205が形成されている。

【0004】周辺回路領域においては、周辺回路を構成する素子である電界効果型トランジスタと配線202とが形成されている。半導体基板1001の主表面には、ソース／ドレイン領域1201d、1201eが形成されている。ソース／ドレイン領域1201d、1201eに隣接するチャンネル領域上には、ゲート絶縁膜1042c、1042dを介して、それぞれゲート電極1043c、1043dが形成されている。ゲート電極1043c、1043d上には、シリコン窒化膜1044c、1044dが形成されている。ゲート電極1043c、1043dとシリコン窒化膜1044c、1044dとの側面には、シリコン窒化膜からなるサイドウォール1046e～1046gが形成されている。半導体基板1001の主表面とシリコン窒化膜1044c、1044dとサイドウォール1046e～1046gとの上には、ノンドープトシリコン酸化膜1047が形成されている。ノンドープトシリコン酸化膜1047上には、第1の層間絶縁膜1048が形成されている。第1の層間絶縁膜1048の一部を除去することにより、コンタクトホール1050、1051が形成されている。第1の層間絶縁膜1048上とコンタクトホール1050、1051の内部とは、ドーパントポリシリコン膜1052が形成されている。ドーパントポリシリコン膜1052上には、高融点金属シリサイド膜1053が形成されている。このドーパントポリシリコン膜1052と高融点金属シリサイド膜1053とから周辺回路領域における配線層1202が形成されている。高融点金属シリサイド膜1053上には、シリコン窒化膜1203が形成されている。シリコン窒化膜1203と高融点金属シリサイド膜1053とドーパントポリシリコン膜1052との側面には、シリコン窒化膜からなるサイドウォール1204a、1204bが形成されている。第1の層間絶縁膜1048とシリコン窒化膜1203とサイドウォール1204a、1204bとの上には、第2の層間絶縁膜1037が形成されている。第2の層間絶縁膜1037上には、メモリセル領域から延在するように形成されているキャパシタの誘電体膜1150が形成されている。この誘電体膜1150上には、キャパシタ上部電極1151が形成されている。第2の層間絶縁膜1037とキャパシタ上部電極1151との上には、第3の層間絶縁膜1205が形成されている。

【0005】図116は、図115に示した従来のDRAMのメモリセルの変形例であり、キャパシタ下部電極1092の形状が厚膜型になっている。ここで、キャパ

シタ下部電極1092の形状以外の構造は、図115に示した従来のDRAMとほぼ同一である。

#### 【0006】

【発明が解決しようとする課題】図115および116に示すように、従来のDRAMのメモリセルにおいては、高集積化および微細化を進めつつ同時にキャパシタの容量を確保するため、キャパシタ下部電極1170aを高さ方向に延びるように形成している。このように形成することで、メモリセル領域におけるキャパシタ下部電極1170aの占有面積を小さくしても、キャパシタに要求される容量を確保することができる。しかし、このように、メモリセル領域におけるキャパシタ下部電極1170aの構造が高さ方向に延びることにより、メモリセル領域における第3の層間絶縁膜1205の上部表面の高さと、周辺回路領域における第3の層間絶縁膜1205の上部表面の高さとの差が大きくなってきている。そして、この第3の層間絶縁膜1205上には、通常アルミニウムなどからなる配線層を形成する。そして、この配線層を形成するための写真製版加工において、メモリセル領域と周辺回路領域との間において第3の層間絶縁膜1205の上部表面に段差があるために、写真製版時の焦点余裕が取れないという問題が発生していた。このように写真製版加工時の焦点余裕が取れないことにより、第3の層間絶縁膜1205上に形成される配線のパターンが不鮮明になり、これにより、この配線の断線や短絡という問題が発生していた。この結果、半導体装置の信頼性が低下するという問題が発生していた。

【0007】また、従来のDRAMの周辺回路領域においては、図117に示すように、周辺回路領域における配線1202およびキャパシタ上部電極1151と第3の層間絶縁膜1205上に形成されるアルミニウムなどからなる配線（図示せず）とを電気的に接続するために、それぞれコンタクトホール1144、1135を形成する。このコンタクトホール1144および1135は通常同じエッチング工程において同時に形成されるが、キャパシタ上部電極1151と周辺回路領域の配線1202とが形成されている深さ方向の位置が異なるため、コンタクトホール1135の底部において、コンタクトホール1144が配線1202に到達するまでキャパシタ上部電極1151が過剰にエッチングされることになる。その結果、図117に示すように、コンタクトホール1135がキャパシタ上部電極1151および誘電体膜1150を突き抜ける場合があった。そして、周辺回路領域における配線層1202およびその他の電界効果型トランジスタなどの素子がコンタクトホール1135を形成するためのエッチングにより損傷を受ける場合があった。この結果、半導体装置が安定して動作しない、あるいは誤動作するというように半導体装置の信頼性が低下するという問題が発生していた。

【0008】本発明は、上記のような課題を解決するためになされたものであり、本発明の1つの目的は、高集積化を図ると同時にキャパシタの容量を確保することが可能であり、かつ高い信頼性を有する半導体装置を提供することである。

【0009】本発明のもう1つの目的は、高集積化を図ると同時にキャパシタの容量を確保することが可能であり、かつ、高い信頼性を有する半導体装置の製造方法を提供することである。

#### 【0010】

【課題を解決するための手段】請求項1に記載の半導体装置は、メモリセル領域と周辺回路領域とを含む半導体装置であって、半導体基板の主表面上に形成された絶縁膜と、キャパシタ下部電極と、誘電体膜と、キャパシタ上部電極とを備える。上部表面を有する上記絶縁膜は、上記半導体基板の主表面上に、上記メモリセル領域から上記周辺回路領域まで延在するように形成されている。上記キャパシタ下部電極は、上記メモリセル領域内において、上記半導体基板の主表面上に上記絶縁膜の上部表面よりも上方に延びるように形成されている。上記キャパシタ上部電極は、上記キャパシタ下部電極の上に上記誘電体膜を介在して、上記絶縁膜の上部表面上にまで延在するように形成されている。上記キャパシタ下部電極は上記キャパシタ上部電極と対向して上方に延び、頂面と底面とを有するキャパシタ下部電極部分を含む。上記絶縁膜の上部表面は、上記キャパシタ下部電極部分の頂面と底面との間に位置する。

【0011】このように、請求項1に記載の半導体装置では、上記絶縁膜の上部表面が、上記キャパシタ下部電極部分の頂面と底面との間に位置するので、上記キャパシタ下部電極が上記絶縁膜に部分的に埋込まれた状態となっている。このため、上記メモリセル領域から上記周辺回路領域にまで延在する上記絶縁膜の上部表面と、上記メモリセル領域における上記キャパシタ下部電極部分の頂面との段差を従来より小さくすることができる。これにより、上記キャパシタ下部電極上と上記絶縁膜上とに層間絶縁膜を形成した場合でも、上記メモリセル領域と上記周辺回路領域との間において、上記層間絶縁膜の上部表面における段差を小さくすることが可能となる。その結果、上記絶縁膜上に配線層を写真製版により形成する場合にも、上記層間絶縁膜の上部表面の上記段差に起因して上記配線のパターンが不鮮明になるという問題の発生を防止できる。その結果、上記配線のパターンが不鮮明なために上記配線の断線や短絡といった問題が発生することを防止できる。この結果、高集積化を図ると同時にキャパシタの容量を確保するとともに、高い信頼性を有する半導体装置を得ることができる。

【0012】また、上記キャパシタ下部電極が上記絶縁膜に部分的に埋込まれた状態になっているので、上記キャパシタ下部電極部分の頂面と上記絶縁膜の上部表面と

の間に位置する上記キャパシタ下部電極部分の外部側面上に、上記誘電体膜を介在して上記キャパシタ上部電極を形成することができる。これにより、上記キャパシタ下部電極部分の外部側面もキャパシタとして利用することができることにより、キャパシタの容量を増加させることができる。

【0013】また、上記絶縁膜の上部表面の位置を変化させることにより、キャパシタとして利用できる上記キャパシタ下部電極部分の外部側面の面積を変化させることができる。これにより、上記キャパシタ下部電極の形状を変更することなく、キャパシタの容量を変化させることが可能となる。

【0014】請求項2に記載の半導体装置は、メモリセル領域と周辺回路領域とを含む半導体装置であって、主表面を有する半導体基板と、絶縁膜と、キャパシタ下部電極と、誘電体膜と、キャパシタ上部電極とを備える。上記絶縁膜は、上記半導体基板の主表面上に、上記メモリセル領域から上記周辺回路領域まで延在するように形成されている。第1および第2のキャパシタ下部電極を含む上記キャパシタ下部電極は、上記メモリセル領域内で、上記半導体基板の主表面上に上記絶縁膜の上部表面とほぼ同一の高さまで延びるように形成されている。上記第1および第2のキャパシタ下部電極は上記絶縁膜の一部を介して隣接している。上記キャパシタ上部電極は、上記キャパシタ下部電極の上に上記誘電体膜を介在して、上記絶縁膜の上部表面上にまで延在するように形成されている。上記キャパシタ下部電極は、上記キャパシタ上部電極と対向して上方に延び頂面と底面とを有するキャパシタ下部電極部分を含む。上記絶縁膜の一部は写真製版加工により形成可能な最小加工寸法より小さい幅を有する。

【0015】このように、請求項2に記載の半導体装置では、上記キャパシタ下部電極が、上記メモリセル領域内で、上記半導体基板の主表面上に上記絶縁膜の上部表面とほぼ同一の高さまで延びるように形成されているので、上記絶縁膜に上記キャパシタ下部電極の全体が埋込まれた状態となっている。このため、上記メモリセル領域と上記周辺回路領域とに形成されている上記絶縁膜の上部表面において、上記キャパシタ下部電極に起因する段差の発生を防止できる。このため、上記キャパシタ下部電極部分上と上記絶縁膜上とに層間絶縁膜を形成した場合でも、上記メモリセル領域と上記周辺回路領域との間において、上記層間絶縁膜の上部表面における段差の発生を防止することが可能となる。その結果、上記層間絶縁膜上に配線層を写真製版加工により形成する場合にも、上記層間絶縁膜の上部表面の上記段差に起因して上記配線のパターンが不鮮明になるという問題の発生を防止できる。このため、上記配線のパターンが不鮮明なために上記配線の断線や短絡といった問題が発生することを防止できる。この結果、高集積化を図ると同時にキャ



パシタの容量を確保するとともに、高い信頼性を有する半導体装置を得ることができる。

【0016】また、上記第1および第2のキャパシタ下部電極の間に存在する上記絶縁膜の一部の幅が、写真製版加工により形成可能な最小加工寸法より小さいので、従来よりも上記第1および第2のキャパシタ下部電極の間の距離を小さくすることができる。この結果、半導体装置をより高集積化することが可能となる。

【0017】請求項3に記載の半導体装置は、請求項2に記載の構成において、上記キャパシタ下部電極の側面が湾曲面を有している。このため、請求項3に記載の発明では、従来のキャパシタ下部電極のようにその側面が平面である場合よりも、上記キャパシタ下部電極の側面の表面積を大きくすることができる。このため、一定のキャパシタ容量を確保しながら、よりキャパシタの占有面積を小さくすることが可能となる。この結果、半導体装置をより微細化することができる。

【0018】請求項4に記載の半導体装置は、請求項2または3に記載の構成において、上記絶縁膜がエッチングレートのそれぞれ異なる上部絶縁膜と下部絶縁膜とを含んでいる。このため、請求項4に記載の発明では、後述する製造工程において、上記絶縁膜の一部の幅をエッチングを用いて写真製版加工により形成可能な最小加工寸法より小さくする工程を行なう際、上記下部絶縁膜が選択的に除去されるエッチング条件を用いることで、上記絶縁膜の一部における下部絶縁膜の側面の一部のみを、エッチングにより除去することができる。このため、上記絶縁膜の一部の幅を小さくできると同時に、上記上部絶縁膜はほとんどエッチングされずに残存させることができる。これにより、上記絶縁膜の一部の幅を小さくするエッチング工程において、上記上部絶縁膜の上部表面がエッチングにより除去されることを防止できる。その結果、その後の工程において形成される上記キャパシタ下部電極の側面の高さが低くなることを防止できる。この結果、上記キャパシタ下部電極の表面積が小さくなることを防止でき、キャパシタの容量が低下することを防止できる。

【0019】請求項5に記載の半導体装置は、請求項1に記載の構成において、上記キャパシタ下部電極が第1および第2のキャパシタ下部電極を含んでいる。上記第1および第2のキャパシタ下部電極は、上記絶縁膜の一部を介して隣接するように上記メモリセル領域内において形成されている。上記絶縁膜の一部は、写真製版加工により形成可能な最小加工寸法より小さい幅を有する。このように、請求項5に記載の発明では、上記第1および第2のキャパシタ下部電極の間に存在する上記絶縁膜の一部の幅が写真製版加工により形成可能な最小加工寸法より小さいので、従来よりも上記第1および第2のキャパシタ下部電極の間の距離を小さくすることができ、この結果、半導体装置をより高集積化することが可

能となる。

【0020】請求項6に記載の半導体装置は、請求項1または5に記載の構成において、上記絶縁膜の上部表面より上に位置する上記キャパシタ下部電極の側面に形成された、サイドウォール電極部を備える。このため、請求項6に記載の発明では、上記サイドウォール電極部を形成することにより、従来より、上記キャパシタ下部電極の側面の表面積を大きくすることができる。これにより、キャパシタの容量を大きくすることが可能となる。このため、一定のキャパシタ容量を確保しながら、従来よりも、上記キャパシタ下部電極の占有面積を小さくすることができる。この結果、半導体装置をより微細化することができる。

【0021】請求項7に記載の半導体装置は、請求項1～6のいずれか1項に記載の構成において、上記キャパシタ下部電極部分の側面もしくは底面の一部のみと上記絶縁膜との間に形成された上記誘電体膜を備える。このように、請求項7に記載の発明では、キャパシタ下部電極部分の側面もしくは底面の一部のみと上記絶縁膜との間に上記誘電体膜を備えるので、上記キャパシタ下部電極部分の側面もしくは底面の一部をキャパシタとして利用できる。このため、上記キャパシタ下部電極の形状を変えることなく、キャパシタの容量を増大させることができる。

【0022】また、この半導体装置の製造工程において、上記キャパシタ下部電極部分の側面もしくは底面の一部と上記絶縁膜との間に上記誘電体膜を形成するので、このために上記誘電体膜が形成される領域に空隙を形成する。そのため、上記空隙を形成する工程において、上記キャパシタ下部電極部分の底面の一部と他の絶縁膜などの層とが接触した状態を保つことができる。このため、上記空隙が形成された状態で、この半導体装置が形成されている上記半導体基板を洗浄するような場合にも、上記キャパシタ下部電極部分の底面の一部と接触している上記絶縁膜などが物理的な衝撃に対する補強部材として作用する。これにより、上記洗浄工程などにおける振動などの衝撃により、上記キャパシタ下部電極の一部が折損するというような問題の発生を防止することができる。この結果、上記キャパシタ下部電極の部分的な折損などの不良に起因する上記半導体装置の誤動作を防止でき、高い信頼性を有する半導体装置を得ることができる。

【0023】請求項8に記載の半導体装置は、請求項1～7のいずれか1項に記載の構成において、上記キャパシタ下部電極の表面または上記サイドウォール電極部表面の少なくとも一部に粒状結晶を備える。このため、請求項8に記載の発明では、上記キャパシタ下部電極の占有面積を大きくすることなく、上記キャパシタ下部電極の表面積を大きくすることが可能となる。これにより、キャパシタの容量を大きくすることが可能となる。この



ため、キャパシタ容量を確保しながら、従来よりキャパシタ下部電極の占有面積を小さくすることができる。この結果、半導体装置をより微細化することが可能となる。

【0024】請求項9による半導体装置は、請求項1～8のいずれか1項に記載の構成において、第1の配線層と第1の層間絶縁膜とを備える。上記第1の配線層は、上記キャパシタ下部電極下に位置する領域において、上記半導体基板の主表面上に形成されている。上記第1の層間絶縁膜は、上記第1の配線層上において、上記第1の配線層と上記キャパシタ下部電極部分とに接触するように形成されている。このように、請求項9に記載の発明では、上記第1の配線層と上記キャパシタ下部電極部分とに接触するように上記第1の層間絶縁膜を形成するので、上記第1の配線層と上記第1の層間絶縁膜との間に上記第1の配線を保護するための保護絶縁膜を形成する場合よりも、メモリセル領域において形成される層の数を削減することができる。このため、上記メモリセル領域における上記キャパシタ下部電極部分の頂面の高さを低くすることができる。これにより、上記キャパシタ下部電極上と上記絶縁膜上とに層間絶縁膜を形成した場合でも、上記メモリセル領域と上記周辺回路領域との間の上記層間絶縁膜の上部表面における段差を小さくすることができる。その結果、上記層間絶縁膜上に配線層を写真製版加工により形成する場合にも、上記層間絶縁膜の上部表面の段差に起因して上記配線のパターンが不鮮明になるなどの問題の発生を防止できる。この結果、上記配線のパターンが不鮮明なために上記配線の断線や短絡といった問題が発生することをより有効に防止することができる。

【0025】請求項10に記載の半導体装置は、請求項1～9のいずれか1項に記載の構成において、第1の導電領域と、第2の層間絶縁膜と、第2の配線層と、接続導電体膜とを備える。上記第1の導電領域は、上記キャパシタ下部電極下に位置する領域において、上記半導体基板の主表面上に形成されている。上記第2の層間絶縁膜は、上記第1の導電領域上に形成され、その第1の導電領域の表面を露出させる第1のコンタクトホールを有する。上記第2の配線層は、上記第2の層間絶縁膜上に形成されている。上記接続導電体膜は、上記第1のコンタクトホールの内部に、上記第1の導電領域と上記第2の配線層とを電気的に接続するように形成されている。上記第2の配線層は、上記第1のコンタクトホールの幅よりも小さい幅を有する。

【0026】このように、請求項10に記載の発明では、上記第2の配線層の幅が上記第1のコンタクトホールの幅よりも小さいので、従来のように、上記第2の配線層の幅を上記第1のコンタクトホールを完全に覆うような大きさにする場合よりも、半導体装置を微細化することができる。

【0027】請求項11に記載の半導体装置は、請求項1～10のいずれか1項に記載の構成において、第2の導電領域と、第3の層間絶縁膜と、第3の配線層と、配線保護膜と、導電体膜とを備える。上記第2の導電領域は、上記キャパシタ下部電極下に位置する領域において、上記半導体基板の主表面上に形成されている。上記第3の層間絶縁膜は上記第2の導電領域上に形成され、その第2の導電領域の表面を露出させる第2のコンタクトホールを有する。上記導電体膜は、上記第2のコンタクトホールの内部に、上記第2の導電領域と上記キャパシタ下部電極とを電気的に接続するように形成されている。上記配線保護膜は、上記キャパシタ下部電極もしくは上記導電体膜と接触している。

【0028】このように、請求項11に記載の発明では、上記配線保護膜が上記キャパシタ下部電極もしくは上記導電体膜と接触しているので、半導体装置の製造工程において、上記第2のコンタクトホールを形成する際のエッチングのためのマスクとして、上記配線保護膜を利用できる。このため、上記第2のコンタクトホールを形成するために、独立してマスクとして用いるレジストパターンを形成する工程が不要となり、半導体装置の製造工程数を削減することができる。

【0029】請求項12に記載の半導体装置は、請求項1～11のいずれか1項に記載の構成において、第4の層間絶縁膜と、周辺回路素子保護膜とを備える。上記キャパシタ上部電極は上記周辺回路領域にまで延在するように形成されている。上記第4の層間絶縁膜は上記キャパシタ上部電極上に形成され、そのキャパシタ上部電極の表面を露出させる第3のコンタクトホールを有する。上記周辺回路素子保護膜は、上記第3のコンタクトホール下に位置する領域において、上記絶縁膜下に形成されている。

【0030】このように、請求項12に記載の発明では、上記周辺回路素子保護膜が上記第3のコンタクトホール下に位置する領域において、上記絶縁膜下に形成されているので、上記第3のコンタクトホールをエッチングにより形成する際に、上記第3のコンタクトホールが上記キャパシタ上部電極を突き抜けて上記絶縁膜にまで到達した場合でも、上記周辺回路素子保護膜においてエッチングの進行を阻止することができる。このため、上記周辺回路領域における電界効果型トランジスタや配線などの周辺回路素子が上記第3のコンタクトホールを形成するためのエッチングによって損傷を受けることを防止できる。これにより、上記周辺回路領域の素子配線の損傷に起因して、半導体装置が動作不良を起こすことを防止できる。この結果、信頼性の高い半導体装置を得ることができる。

【0031】請求項13による半導体装置は、請求項1～11のいずれか1項に記載の構成において、周辺回路絶縁膜と、第4の層間絶縁膜とを備える。上記周辺回路

絶縁膜は、周辺回路領域において周辺回路領域開口部を有する。上記キャパシタ上部電極は、上記周辺回路領域開口部の内部にまで延在するように形成されている。上記第 4 の層間絶縁膜は、上記周辺回路領域開口部上に形成され上記キャパシタ上部電極の表面を露出させる第 4 のコンタクトホールを有する。

【0032】このように請求項 13 に記載の発明では、上記周辺回路領域開口部の内部にまで延在するように上記キャパシタ上部電極を形成し、上記周辺回路領域開口部の上に上記第 4 のコンタクトホールを形成するので、上記周辺回路領域開口部の内部において、上記第 4 のコンタクトホールを上記キャパシタ上部電極に到達するように形成することができる。このため、上記周辺回路領域開口部の深さと上記キャパシタ上部電極の膜厚とを調整することにより、上記周辺回路領域における他のコンタクトホールの到達深さとの差を小さくするように、上記第 4 のコンタクトホールの到達深さを変更することができる。これにより、上記第 4 のコンタクトホールと周辺回路領域における上記他のコンタクトホールとの到達深さが異なることに起因して、第 4 のコンタクトホールが上記キャパシタ上部電極を突き抜けて、電界効果型トランジスタや配線などの周辺回路素子が損傷を受けることを防止できる。これにより、上記周辺回路素子の損傷に起因して、半導体装置が誤動作などの動作不良を起こすことを防止できる。この結果、信頼性の高い半導体装置を得ることができる。

【0033】請求項 14 による半導体装置は、請求項 1 ~ 11 のいずれか 1 項に記載の構成において、第 4 の層間絶縁膜と、周辺回路素子とを備える。上記キャパシタ上部電極は、上記周辺回路領域にまで延在するように形成されている。上記第 4 の層間絶縁膜は、上記キャパシタ上部電極上に形成され、そのキャパシタ上部電極の表面を露出させる第 5 のコンタクトホールを有する。上記周辺回路素子は、上記周辺回路領域において、上記絶縁膜下に形成されている。上記第 5 のコンタクトホールは、上記周辺回路素子と平面的に重ならない領域に形成されている。このように、請求項 14 に記載の発明では、上記第 5 のコンタクトホールを上記周辺回路素子と平面的に重ならない領域に形成しているので、上記第 5 のコンタクトホールを形成するためのエッチングを行なう際、上記キャパシタ上部電極を突き抜けて上記エッチングが進んでも、上記周辺回路素子が上記エッチングによって損傷を受けることを防止できる。これにより、上記周辺回路素子の損傷に起因して、半導体装置が誤動作などの動作不良を起こすことを防止できる。この結果、信頼性の高い半導体装置を得ることができる。

【0034】請求項 15 に記載の半導体装置の製造方法は、メモリセル領域と周辺回路領域とを含む半導体装置の製造方法であって、以下の工程を備える。半導体基板の主表面上に、上記メモリセル領域から上記周辺回路領

域まで延在するように、上部表面を有する絶縁膜を形成する。上記メモリセル領域内で、上記絶縁膜の一部をエッチングにより除去することにより、開口部を形成する。上記半導体基板の主表面上において、上記開口部の内部にキャパシタ下部電極を形成する。上記キャパシタ下部電極上に誘電体膜を介在して、上記絶縁膜の上部表面上にまで延在するようにキャパシタ上部電極を形成する。上記キャパシタ下部電極を形成する工程は、上記キャパシタ上部電極と対向して上方に延び、頂面と底面とを有するキャパシタ下部電極部分を形成する工程を含む。上記絶縁膜を形成する工程は、上記絶縁膜の上部表面の位置を上記キャパシタ下部電極部分の頂面と底面との間に位置させる工程を含む。

【0035】このように、請求項 15 に記載の発明では、上記絶縁膜を形成する工程が、上記絶縁膜の上部表面の位置を上記キャパシタ下部電極部分の頂面と底面との間に位置させる工程を含むので、上記キャパシタ下部電極を上記絶縁膜に部分的に埋込まれた状態にすることができる。このため、従来と比べて、上記メモリセル領域から上記周辺回路領域まで延在する上記絶縁膜の上部表面と、上記メモリセル領域における上記キャパシタ下部電極部分の頂面との段差を小さくすることができる。このため、上記キャパシタ下部電極部分上と上記絶縁膜上とに層間絶縁膜を形成した場合でも、上記メモリセル領域と上記周辺回路領域との間において、上記層間絶縁膜の上部表面における段差を小さくすることが可能となる。その結果、上記層間絶縁膜上に配線層を写真製版加工により形成する場合にも、上記層間絶縁膜の上部表面の段差に起因して上記配線層のパターンが不鮮明になることを防止できる。このため、上記配線層のパターンが不鮮明であるため、上記配線層の断線や短絡といった問題が発生することを防止できる。この結果、高集積化を図ると同時にキャパシタの容量を確保するとともに、高い信頼性を有する半導体装置を得ることができる。

【0036】また、請求項 15 に記載の発明では、上記キャパシタ下部電極を上記絶縁膜に部分的に埋込まれた状態にすることができるので、上記キャパシタ下部電極部分の頂面と上記絶縁膜の上部表面との間に位置する上記キャパシタ下部電極部分の外部側面上に、上記誘電体膜を介在して上記キャパシタ上部電極を形成することができる。これにより、上記キャパシタ下部電極部分の外部側面をキャパシタとして利用することにより、キャパシタの容量を増加させることができる。

【0037】また、上記絶縁膜上の上部表面の位置を変化させることにより、キャパシタとして利用される上記キャパシタ下部電極部分の外部側面の面積を変化させることができる。これにより、キャパシタの容量を上記キャパシタ下部電極の形状を変えることなく制御することが可能となる。

【0038】請求項 16 に記載の半導体装置の製造方法

は、メモリセル領域と周辺回路領域とを含む半導体装置の製造方法であって、以下の工程を備える。半導体基板の主表面上に、上記メモリセル領域から上記周辺回路領域まで延在するように、上部表面を有する絶縁膜を形成する。上記メモリセル領域内において、上記絶縁膜の一部をエッチングにより除去することにより、隣接した第1および第2の開口部を含む開口部を形成する。上記開口部の幅をエッチングにより広げることにより、上記第1および第2の開口部の間に形成されている上記絶縁膜の一部の幅を、写真製版加工により形成可能な最小加工寸法より小さくする。上記半導体基板の主表面上に上記絶縁膜の上部表面とほぼ同一の高さまで延びるように、上記開口部の内部にキャパシタ下部電極を形成する。上記キャパシタ下部電極上に誘電体膜を介在して、上記絶縁膜の上部表面上にまで延在するようにキャパシタ上部電極を形成する。上記キャパシタ下部電極を形成する工程は、上記第1および第2の開口部の内部に、それぞれ第1および第2のキャパシタ下部電極を形成する工程を含む。また、上記キャパシタ下部電極を形成する工程は、それぞれ上記キャパシタ上部電極と対向して上方に延び、頂面と底面とを有するキャパシタ下部電極部分を形成する工程を含む。

【0039】このように、請求項16に記載の発明では、上記半導体基板の主表面上に上記絶縁膜の上部表面とほぼ同一の高さまで延びるように、上記開口部の内部にキャパシタ下部電極を形成するので、上記絶縁膜に上記キャパシタ下部電極の全体が埋込まれた状態にすることができる。このため、上記メモリセル領域と上記周辺回路領域と形成されている上記絶縁膜の上部表面において、上記キャパシタ下部電極に起因する段差の発生を防止できる。このため、上記キャパシタ下部電極上と上記絶縁膜上とに層間絶縁膜を形成した場合でも、上記メモリセル領域と上記周辺回路領域との間において、上記層間絶縁膜の上部表面における段差の発生を防止できる。その結果、上記層間絶縁膜上に配線層を写真製版加工により形成する場合も、上記層間絶縁膜上の上部表面の上記段差に起因して上記配線層のパターンが不鮮明になることを防止できる。このため、上記配線層のパターンが不鮮明なために、上記配線層の断線や短絡といった問題が発生することを防止できる。この結果、高集積化を図ると同時にキャパシタの容量を確保するとともに、高い信頼性を有する半導体装置を得ることができる。

【0040】また、上記第1および第2のキャパシタ下部電極の間に存在する上記絶縁膜の一部の幅が、写真製版加工により形成可能な最小加工寸法より小さいので、従来より上記第1および第2のキャパシタ下部電極の間の間隔を小さくすることができる。この結果、半導体装置をより高集積化することが可能となる。

【0041】請求項17による半導体装置の製造方法は、請求項16に記載の構成において、上記開口部の幅

をエッチングにより広げる工程は、上記開口部の側面を湾曲面を有するように形成する工程を含む。このため、請求項17に記載の発明では、上記開口部の内部に上記キャパシタ下部電極を形成する工程において、上記キャパシタ下部電極の側面も湾曲面を有するように形成することができる。これにより、従来のキャパシタ下部電極の平面状の側面よりも、上記キャパシタ下部電極の側面の表面積を大きくすることができる。その結果、一定のキャパシタ容量を確保しながら、よりキャパシタの占有面積を小さくすることができる。この結果、半導体装置をより微細化することができる。

【0042】請求項18に記載の半導体装置の製造方法は、請求項16または17に記載の構成において、上記絶縁膜を形成する工程が、下部絶縁膜を形成する工程と、上記下部絶縁膜とはエッチングレートの異なる上部絶縁膜を、上記下部絶縁膜上に形成する工程とを含む。このため、請求項18に記載の発明では、上記絶縁膜の一部の幅を写真製版加工により形成可能な最小加工寸法より小さくする工程において、上記下部絶縁膜が選択的にエッチングされる条件を用いることで、上記絶縁膜の一部である上記下部絶縁膜の側面の一部のみを、エッチングにより除去することができる。これにより、上記絶縁膜の一部の幅を小さくできると同時に、上記上部絶縁膜はほとんどエッチングされずに残存させることができる。これにより、上記絶縁膜の一部の幅を小さくする工程において、上記上部絶縁膜の上部表面がエッチングにより除去されることにより、その後形成される上記キャパシタ下部電極の側面の高さが小さくなることを防止できる。この結果、キャパシタ下部電極の表面積が小さくなることを防止でき、キャパシタの容量が低減することを防止できる。

【0043】請求項19に記載の半導体装置の製造方法は、請求項15に記載の構成において、上記絶縁膜を形成する工程が、下部絶縁膜を形成する工程と、上記下部絶縁膜とはエッチングレートの異なる上部絶縁膜を上記下部絶縁膜上に形成する工程とを含む。上記絶縁膜の上部表面を上記キャパシタ下部電極部分の頂面と底面との間に位置させる工程は、上記上部絶縁膜を除去する工程を含む。このため、請求項19に記載の発明では、上記上部絶縁膜の膜厚を変更することにより、上記絶縁膜の上部表面の位置を任意に変更することができる。このため、キャパシタとして利用される上記キャパシタ下部電極部分の外部側面の面積を変化させることができる。その結果、キャパシタの容量を上記キャパシタ下部電極の形状を変えることなく変更することが可能となる。

【0044】請求項20に記載の半導体装置の製造方法は、請求項15に記載の構成において、上記絶縁膜の上部表面を上記キャパシタ下部電極部分の頂面と底面との間に位置させる工程は、上記絶縁膜の一部をエッチングにより除去する工程を含む。このため、請求項20に記

載の発明では、上記絶縁膜の一部をエッチングにより除去する工程において、このエッチングにより除去する上記絶縁膜の一部の膜厚を変更することにより、上記絶縁膜の上部表面の位置を任意に変更することができる。これにより、キャパシタとして利用される上記キャパシタ下部電極部分の外部側面の面積を変化させることができる。この結果、キャパシタの容量を、上記キャパシタ下部電極の形状を変えることなく変更することが可能となる。

【0045】請求項21に記載の半導体装置の製造方法は、請求項15、19および20のいずれか1項に記載の構成において、上記開口部を形成する工程が、上記絶縁膜の一部をエッチングにより除去することにより、互いに隣接する第1の開口部と第2の開口部とを形成する工程を含む。上記キャパシタ下部電極を形成する工程は、上記第1および第2の開口部の内部にそれぞれ、第1および第2のキャパシタ下部電極を形成する工程を含む。そして、上記第1および第2の開口部の幅を、エッチングにより広げることにより、上記第1および第2の開口部の間に形成されている上記絶縁膜の一部の幅を、写真製版加工により形成可能な最小加工寸法より小さくする工程を備える。このように、請求項21に記載の発明では、上記第1および第2の開口部の間に形成されている上記絶縁膜の一部の幅を写真製版加工により形成可能な最小加工寸法より小さくするので、従来よりも、上記第1および第2のキャパシタ下部電極の間の間隔を小さくすることができる。この結果、半導体装置をより高集積化することが可能となる。

【0046】請求項22に記載の半導体装置の製造方法は、請求項15、19～21のいずれか1項に記載の構成において、上記絶縁膜の上部表面より上に位置する上記キャパシタ下部電極の側面に、サイドウォール電極部を形成する工程を備える。このように、請求項22に記載の発明では、上記サイドウォール電極部を形成することにより、従来よりも上記キャパシタ下部電極の側面の表面積を大きくすることができる。これにより、キャパシタ容量を大きくすることが可能となる。このため、一定のキャパシタ容量を確保しながら、従来より、上記キャパシタ下部電極の占有面積を小さくすることができる。この結果、半導体装置をより微細化することができる。

【0047】請求項23に記載の半導体装置の製造方法は、請求項15～22のいずれか1項に記載の構成において、さらに以下の工程を備える。上記開口部の側面もしくは底面の一部に空隙形成用絶縁膜を形成する。上記キャパシタ下部電極を形成した後、上記空隙形成用絶縁膜の少なくとも一部をエッチングにより除去することにより、上記キャパシタ下部電極部分の側面もしくは底面の一部のみと上記絶縁膜との間に空隙を形成する。このように、請求項23に記載の発明では、上記キャパシタ

下部電極部分の側面もしくは底面の一部のみと前記絶縁膜との間に空隙を形成するので、この空隙において上記キャパシタ下部電極部分上に上記誘電体膜と上記キャパシタ上部電極とを形成することにより、上記キャパシタ下部電極部分の側面もしくは底面の一部をキャパシタとして利用できる。このため、上記キャパシタ下部電極の形状を変えずに、キャパシタの容量を増大させることができる。

【0048】また、上記キャパシタ下部電極部分の側面もしくは底面の一部のみと上記絶縁膜との間に空隙を形成するので、上記キャパシタ下部電極部分の底面の他の一部を他の絶縁膜などの層と接触した状態に保つことができる。このため、上記空隙が形成された状態で、半導体装置が形成されている半導体基板を洗浄するような工程においても、上記キャパシタ下部電極部分の底面の他の一部と接触している上記絶縁膜などが、補強部材として作用する。これにより、上記洗浄工程における物理的な振動などにより、上記キャパシタ下部電極の一部が折損するといった問題の発生を防止することができる。この結果、キャパシタ下部電極の部分的な折損などの不良に起因する半導体装置の誤動作を防止でき、高い信頼性を有する半導体装置を得ることができる。

【0049】請求項24に記載の半導体装置の製造方法は、請求項15～23のいずれか1項に記載の構成において、上記キャパシタ下部電極表面または上記サイドウォール表面の少なくとも一部に粒状結晶を形成する工程を備える。このため、請求項24に記載の発明では、キャパシタ下部電極の占有面積を大きくすることなく、キャパシタ下部電極の表面積を大きくすることが可能とする。これにより、一定のキャパシタ容量を確保しながら、従来より上記キャパシタ下部電極の占有面積を小さくすることができる。この結果、半導体装置をより微細化することができる。

【0050】請求項25に記載の半導体装置の製造方法は、請求項15～24のいずれか1項の記載の構成において、以下の工程を備える。上記キャパシタ下部電極下に位置する領域において、上記半導体基板の主表面上に第1の配線層を形成する。上記第1の配線層上において、上記第1の配線層と接触するように第1の層間絶縁膜を形成する。上記キャパシタ下部電極を形成する工程は、上記第1の層間絶縁膜に接触するように上記キャパシタ下部電極部分を形成する工程を含む。このように、請求項25に記載の発明では、上記第1の配線層と上記キャパシタ下部電極部分とに接触するように上記第1の層間絶縁膜を形成するので、上記第1の配線層と上記第1の層間絶縁膜との間に上記第1の配線を保護するための保護絶縁膜を形成する場合よりも、上記メモリセル領域における上記キャパシタ下部電極部分の頂面の高さを低くすることができる。これにより、上記キャパシタ下部電極上と上記絶縁膜上とに層間絶縁膜を形成した場合

でも、上記メモリセル領域と上記周辺回路領域との間の上記層間絶縁膜の上部表面における段差を小さくすることができる。その結果、上記層間絶縁膜上に配線層を写真製版加工により形成する場合にも、上記層間絶縁膜の上部表面の段差に起因して上記配線層のパターンが不鮮明になることを防止できる。このため、上記配線層のパターンが不鮮明なために上記配線層の断線や短絡といった問題が発生することを防止できる。この結果、高集積化を図ると同時に、キャパシタの容量を確保するとともに、高い信頼性を有する半導体装置を得ることができる。

【0051】請求項26に記載の半導体装置の製造方法は、請求項15～25のいずれか1項に記載の構成において、以下の工程をさらに備える。上記キャパシタ下部電極下に位置する領域において、上記半導体基板の主表面に第1の導電領域を形成する。上記第1の導電領域上に第2の層間絶縁膜を形成する。上記第2の層間絶縁膜上に第2の配線層を形成する。上記第2の層間絶縁膜の一部をエッチングにより除去することにより、第1のコンタクトホールを形成する。上記第1のコンタクトホール10の内部に、上記第1の導電領域と上記第2の配線層とを電気的に接続する接続導電体膜を形成する。上記第2の配線層を形成する工程は、上記第2の配線層の幅を、上記第1のコンタクトホールの幅よりも小さくする工程を含む。

【0052】このように、請求項26に記載の発明では、上記第2の配線層の幅が上記第1のコンタクトホールの幅よりも小さくなっているため、従来のように、上記第2の配線層の幅を、上記第1のコンタクトホールを完全に覆うような大きさにする場合よりも、半導体装置より微細化することができる。

【0053】請求項27に記載の半導体装置の製造方法は、請求項15～26のいずれか1項に記載の構成において、以下のような工程をさらに備える。上記キャパシタ下部電極下に位置する領域において、上記半導体基板の主表面に第2の導電領域を形成する。上記第2の導電領域上に第3の層間絶縁膜を形成する。上記第3の層間絶縁膜上に第3の配線層を形成する。上記第3の配線層上に配線保護膜を形成する。上記第2の導電領域と上記キャパシタ下部電極とを電気的に接続するために、少なくとも上記第3の層間絶縁膜の一部をエッチングにより除去することにより、第2のコンタクトホールを形成する。上記第2のコンタクトホールを形成する工程におけるエッチングに用いるマスクの一部として、上記配線保護膜を用いる。

【0054】このように、請求項27に記載の発明では、上記第2のコンタクトホールを形成する工程におけるエッチングにおいて、上記配線保護膜をマスクとして利用するので、上記第2のコンタクトホールを形成するために、独立してマスクとして用いるレジストパターン

を形成する工程を省略できる。これにより、半導体装置の製造工程数を削減することができる。

【0055】請求項28に記載の半導体装置の製造方法は、請求項15～27のいずれか1項に記載の構成において、以下の工程をさらに備える。上記周辺回路にまで延在するように上記キャパシタ上部電極を形成する。上記キャパシタ上部電極上に第4の層間絶縁膜を形成する。上記周辺回路領域において、少なくとも上記第4の層間絶縁膜の一部をエッチングにより除去することにより、第3のコンタクトホールを形成する。上記第3のコンタクトホール下に位置する領域において、上記絶縁膜下に周辺回路素子保護膜を形成する。上記第3のコンタクトホールを形成する工程は、上記第3のコンタクトホールの側面もしくは底面において、上記キャパシタ上部電極の一部を露出させる工程を含む。

【0056】このように、請求項28に記載の発明では、上記周辺回路素子保護膜を形成するので、上記第3のコンタクトホールをエッチングにより形成する際に、上記第3のコンタクトホールが上記キャパシタ上部電極を突き抜け、上記絶縁膜にまで到達した場合でも、上記周辺回路素子保護膜によりエッチングの進行を阻止することができる。このため、上記周辺回路領域における電界効果型トランジスタや配線などの周辺回路素子が上記第3のコンタクトホールを形成するためのエッチングにより損傷を受けることを防止できる。これにより、上記周辺回路素子の損傷に起因して、半導体装置が動作不良を起こすことを防止できる。この結果、信頼性の高い半導体装置を得ることができる。

【0057】請求項29に記載の半導体装置の製造方法は、請求項15～27のいずれか1項に記載の構成において、以下の工程をさらに備える。上記周辺回路領域において、周辺回路絶縁膜を形成する。上記周辺回路絶縁膜の一部をエッチングにより除去することにより、周辺回路領域開口部を形成する。上記周辺回路領域開口部の内部にまで延在するように、上記キャパシタ上部電極を形成する。上記キャパシタ上部電極上に第4の層間絶縁膜を形成する。上記周辺回路領域開口部上に位置する領域における上記第4の層間絶縁膜の一部をエッチングにより除去することにより、第4のコンタクトホールを形成する。上記第4のコンタクトホールを形成する工程は、上記第4のコンタクトホールの底部において、上記キャパシタ上部電極の一部を露出させる工程を含む。

【0058】このように、請求項29に記載の発明では、上記周辺回路領域開口部の内部にまで延在するように上記キャパシタ上部電極を形成し、上記周辺回路領域開口部上に上記第4のコンタクトホールを形成するので、上記周辺回路領域開口部の内部において、上記第4のコンタクトホールを上記キャパシタ上部電極にまで到達するように形成することができる。このため、上記周辺回路領域開口部の深さと上記キャパシタ上部電極の厚

さを調整することにより、上記周辺回路領域における他のコンタクトホールとの到達深さとの差を小さくするように、上記第4のコンタクトホールとの到達深さを変更することができる。これにより、上記第4のコンタクトホールと上記周辺回路領域における他の上記コンタクトホールとの到達深さが異なることに起因して、上記第4のコンタクトホールが上記キャパシタ上部電極を突き抜け、電界効果型トランジスタや配線などの周辺回路素子が損傷を受けることを防止できる。これにより、上記周辺回路素子の損傷に起因して半導体装置が動作不良を起こすことを防止できる。この結果、信頼性の高い半導体装置を得ることができる。

【0059】請求項30に記載の半導体装置の製造方法は、請求項15～27のいずれか1項に記載の構成において、以下のような工程をさらに備える。上記周辺回路領域にまで延在するように上記キャパシタ上部電極を形成する。上記キャパシタ上部電極上に第4の層間絶縁膜を形成する。上記周辺回路領域において、少なくとも上記第4の層間絶縁膜の一部をエッチングにより除去することにより、第5のコンタクトホールを形成する。上記周辺回路領域において、上記絶縁膜下に位置する領域に周辺回路素子を形成する。上記第5のコンタクトホールを形成する工程は、さらに以下の工程を含む。上記第5のコンタクトホールの底部において、上記キャパシタ上部電極の一部を露出させる。上記第5のコンタクトホールを、上記周辺回路素子と平面的に重ならない領域に形成する。

【0060】このように、請求項30に記載の発明では、上記第5のコンタクトホールを、上記周辺回路素子と平面的に重ならない領域に形成しているので、上記第5のコンタクトホールを形成するためのエッチングを行なう際、上記キャパシタ上部電極を突き抜けてエッチングが進行しても、上記周辺回路素子が損傷を受けることを防止できる。これにより、上記周辺回路素子の損傷に起因して、半導体装置が動作不良を起こすことを防止できる。この結果、信頼性の高い半導体装置を得ることができる。

#### 【0061】

【発明の実施の形態】以下本発明の実施の形態を図面に基づいて説明する。

【0062】（実施の形態1）図1は、本発明の実施の形態1によるDRAMのメモリセル領域の平面模式図を示している。図1を参照して、本発明の実施の形態1によるDRAMのメモリセルは、半導体基板の主表面に形成された活性領域39と、半導体基板の主表面上に形成され、電界効果型トランジスタのゲート電極としても作用するワード線43a、43b、43e、43fと、ビット線174と、キャパシタ下部電極170a、170bを含むキャパシタとを含む。ビット線174は、コンタクトホール49において活性領域39と電気的に接続

されている。キャパシタ下部電極170a、170bは、コンタクトホール38a、38bにおいて、活性領域39と電気的に接続されている。そして、このメモリセル領域の線分500-500における断面図が図2に示されている。

【0063】図2は、本発明の実施の形態1によるDRAMのメモリセルの線分500-500断面における断面図と周辺回路領域の一部の断面図とを示している。図2を参照して、本発明の実施の形態1によるDRAMの構造を説明する。

【0064】図2を参照して、本発明の実施の形態1によるDRAMのメモリセル領域においては、トレンチ分離酸化膜40に囲まれた活性領域39に、電界効果型トランジスタのソース/ドレイン領域201a～201cが形成されている。1対のソース/ドレイン領域201a、201bに挟まれたチャネル領域上には、ゲート絶縁膜42aを介してゲート電極43aが形成されている。ここで、ゲート絶縁膜42aは、熱酸化膜、シリコン窒化膜もしくは窒化酸化膜などにより構成される。また、ゲート電極43aは、リンやヒ素をドーブしたポリシリコンやアモルファスシリコンあるいはタングステンもしくはチタンなどの高融点金属膜、あるいはこれらのシリサイド膜から構成してもよく、また、これらの材質を重ねた多層構造であってもよい。ゲート電極43a上には、シリコン窒化膜44aが形成されている。ゲート電極43aとシリコン窒化膜44aとの側面には、シリコン窒化膜からなるサイドウォール46a、46bが形成されている。サイドウォール46aとシリコン窒化膜44aとの上には、ノンドープトシリコン酸化膜47が形成されている。

【0065】トレンチ分離酸化膜40上には、ゲート絶縁膜42bを介してゲート電極43bが形成されている。ゲート電極43b上にはシリコン窒化膜44bが形成されている。ゲート電極43bとシリコン窒化膜44bとの側面には、シリコン窒化膜からなるサイドウォール46c、46dが形成されている。サイドウォール46dとシリコン窒化膜44bとの上には、ノンドープトシリコン酸化膜47が形成されている。このノンドープトシリコン酸化膜47上には、第1の層間絶縁膜48が形成されている。第1の層間絶縁膜48とノンドープトシリコン酸化膜47との一部をエッチングにより除去することにより、コンタクトホール49が形成されている。コンタクトホール49の内部と第1の層間絶縁膜48上とは、ドーブトポリシリコン膜52が形成されている。ドーブトポリシリコン膜52上には高融点金属シリサイド膜53が形成されている。このドーブトポリシリコン膜52と高融点金属シリサイド膜53とから、ビット線174が構成されている。高融点金属シリサイド膜53上には、シリコン窒化膜54が形成されている。シリコン窒化膜54と高融点金属シリサイド膜53とド



ードプトポリシリコン膜 52 との側面には、シリコン窒化膜からなるサイドウォール 55a、55b が形成されている。第 1 の層間絶縁膜 48 とサイドウォール 55a、55b とシリコン窒化膜 54 との上には、第 2 の層間絶縁膜 37 が形成されている。

【0066】第 1 および第 2 の層間絶縁膜 48、37 およびノンドーフトシリコン酸化膜 47 の一部を除去することにより、キャパシタ下部電極 170a とソース／ドレイン領域の一方とを電氣的に接続するためのコンタクトホール 38a が形成されている。コンタクトホール 38a の内部には、ードプトポリシリコンからなるプラグ 57 が形成されている。第 2 の層間絶縁膜 37 上には、シリコン窒化膜 58 が形成されている。そして、プラグ 57a と第 2 の層間絶縁膜 37 との上には、キャパシタ下部電極 170a が形成されている。このキャパシタ下部電極 170a は、少ない占有面積でキャパシタの容量を確保するために、円筒型の構造を備えている。シリコン窒化膜 58 上とキャパシタ下部電極 170a の側面上とには、第 3 の層間絶縁膜 59 が形成されている。そして、この第 3 の層間絶縁膜 59 の上部表面は、円筒型のキャパシタ下部電極 170a の側面部であるキャパシタ下部電極部分の頂面 301 と底面 302 との間に位置するように形成されている。キャパシタ下部電極 170a と第 3 の層間絶縁膜 59 との上には、誘電体膜 150 が形成されている。誘電体膜 150 上には、キャパシタ上部 151 が形成されている。キャパシタ上部電極 151 上には、第 4 の層間絶縁膜 205 が形成されている。

【0067】本発明の実施の形態 1 による DRAM の周辺回路領域においては、半導体基板 1 の主表面上に電界効果型トランジスタと配線 202 とが形成されている。具体的には、半導体基板 1 の主表面には、ソース／ドレイン領域 201d、201e が形成されている。ソース／ドレイン領域 201d、201e に隣接するチャンネル領域上には、ゲート絶縁膜 42c、42d を介して、ゲート電極 43c、43d が形成されている。ゲート電極 43c、43d 上には、シリコン窒化膜 44c、44d が形成されている。ゲート電極 43c、43d とシリコン窒化膜 44c、44d との側面には、シリコン窒化膜からなるサイドウォール 46e～46g が形成されている。半導体基板 1 の主表面とシリコン窒化膜 44c、44d とサイドウォール 46e～46g との上には、ノンドーフトシリコン酸化膜 47 が形成されている。ノンドーフトシリコン酸化膜 47 上には、第 1 の層間絶縁膜 48 が形成されている。第 1 の層間絶縁膜 48 とノンドーフトシリコン酸化膜 47 とシリコン窒化膜 44c との一部を除去することにより、コンタクトホール 50、51 が形成されている。第 1 の層間絶縁膜 48 上とコンタクトホール 50、51 の内部とには、ードプトポリシリコン膜 52 が形成されている。ードプトポリシリコン膜 52 上には、高融点金属シリサイド膜 53 が形成されてい

る。このードプトポリシリコン膜 52 と高融点金属シリサイド膜 53 とから、周辺回路領域における配線 202 が形成されている。高融点金属シリサイド膜 53 上には、シリコン窒化膜 203 が形成されている。シリコン窒化膜 203 と配線層 202 との側面には、シリコン窒化膜からなるサイドウォール 204a、204b が形成されている。第 1 の層間絶縁膜 48 とシリコン窒化膜 203 とサイドウォール 204a、204b との上には、第 2 の層間絶縁膜 37 が形成されている。第 2 の層間絶縁膜 37 上には、シリコン窒化膜 58 が形成されている。シリコン窒化膜 58 上には、第 3 の層間絶縁膜 59 が形成されている。第 3 の層間絶縁膜 59 上には、メモリセル領域から延在するように形成されているキャパシタの誘電体膜 150 が形成されている。この誘電体膜 150 上にはキャパシタ上部電極 151 が形成されている。第 3 の層間絶縁膜 59 上とキャパシタ上部電極 151 上とには、メモリセル領域から延在するように第 4 の層間絶縁膜 205 が形成されている。

【0068】このように、本発明の実施の形態 1 による DRAM においては、キャパシタ下部電極 170a が第 3 の層間絶縁膜 59 に部分的に埋込まれた状態になっている。このため、第 3 の層間絶縁膜 59 の上部表面とキャパシタ下部電極 170a の頂面 301 との段差を小さくすることができる。このため、この第 4 の層間絶縁膜 205 を形成した場合にも、第 4 の層間絶縁膜 205 のメモリセル領域における上部表面と、周辺回路領域における上部表面との段差を従来より小さくすることができる。このため、第 4 の層間絶縁膜 205 上にアルミニウムなどからなる配線層を写真製版加工により形成する場合でも、第 4 の層間絶縁膜 205 の上部表面における段差に起因して、この配線層のパターンが不鮮明になることを防止できる。このため、上記パターンが不鮮明なために、上記配線層の断線や短絡といった問題が発生することを防止できる。この結果、高集積化を図ると同時にキャパシタの容量を確保するとともに、高い信頼性を有する半導体装置を得ることができる。

【0069】また、本発明の実施の形態 1 による DRAM においては、キャパシタ下部電極 170a が第 3 の層間絶縁膜 59 に部分的に埋込まれた状態になっているので、キャパシタ下部電極 170a の外部側面上にも誘電体膜 150 とキャパシタ上部電極 151 とを形成することができる。このため、キャパシタ下部電極 170a の外部側面もキャパシタとして利用することができるので、キャパシタの容量を増加させることができる。

【0070】また、第 3 の層間絶縁膜 59 の上部表面の位置を変化させることにより、キャパシタとして利用されるキャパシタ下部電極 170a の外部側面の面積を変化させることができる。これにより、このキャパシタ下部電極 170a の形状を変えることなく、キャパシタの容量を変更することが可能となる。



【0071】図3～13は、本発明の実施の形態1によりDRAMの製造工程を説明するための断面図である。以下、図3～13を参照して、本発明の実施の形態1によるDRAMの製造工程を説明する。

【0072】図3は、本発明の実施の形態1によるDRAMの製造工程の第1工程を説明するための断面図である。図3を参照して、本発明の実施の形態1によるDRAMのメモリセル領域においては、半導体基板1の主表面上にトレンチ分離酸化膜40を形成する。半導体基板1の主表面上にゲート絶縁膜となる絶縁膜（図示せず）を形成する。この絶縁膜上にポリシリコン膜（図示せず）を形成する。このポリシリコン膜上にシリコン窒化膜（図示せず）を形成する。このシリコン窒化膜上にレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、異方性エッチングにより上記絶縁膜とドーフトポリシリコン膜とシリコン窒化膜との一部を除去する。その後、レジストパターンを除去する。このようにして、図3に示すようなゲート絶縁膜42a、42bとゲート電極43a、43bとシリコン窒化膜44a、44bとを形成する。そして、このシリコン窒化膜44a、44bをマスクとして用いて、半導体基板1の活性領域39に不純物を注入することにより、電界効果型トランジスタのソース／ドレイン領域201a～201cを形成する。その後、半導体基板の全面を900℃以下のドライ雰囲気において酸化する。これにより、シリコン窒化膜44a、44b上とゲート電極43a、43bとの側面と、半導体基板1の主表面上と、50～100Å程度の膜厚を有する酸化膜（図示せず）を形成する。その後、全体を覆うように、シリコン窒化膜45を形成する。

【0073】そして、周辺回路領域においても、メモリセル領域において行なわれた製造工程と同様の工程により、半導体基板1上に電界効果型トランジスタのソース／ドレイン領域201d、201eとゲート絶縁膜42c、42dとゲート電極43c、43dとシリコン窒化膜42c、42d、45とを形成する。

【0074】次に、異方性エッチングによりシリコン窒化膜45の一部を除去することにより、シリコン窒化膜44a～44dとゲート電極43a～43dとゲート絶縁膜42a～42dとの側面上にサイドウォール46a～46gを形成する。そして、図4に示すように、全体を覆うようにノンドーフトシリコン酸化膜47を形成する。ノンドーフトシリコン酸化膜47上にリンドーフトシリコン酸化膜からなる第1の層間絶縁膜48を形成する。このノンドーフトシリコン酸化膜47とリンドーフトシリコン酸化膜からなる第1の層間絶縁膜48とは、減圧あるいは常圧CVD法を用いて形成する。また、ここではノンドーフトシリコン酸化膜37とリンドーフトシリコン酸化膜からなる第1の層間絶縁膜48との2層を形成しているが、いずれか一方の材質により第1の層

間絶縁膜を形成してもよい。そして、第1の層間絶縁膜48を形成した後、この第1の層間絶縁膜48の表面を化学機械研磨法（CMP法）あるいはリフロー法により平坦化する。

【0075】次に、第1の層間絶縁膜48上にレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして用いたエッチングにより、第1の層間絶縁膜48とノンドーフトシリコン酸化膜47との一部を除去することにより、図5に示すようにコンタクトホール49を形成する。その後、レジストパターンを除去する。このコンタクトホール49を形成するエッチングにおいては、ゲート電極43a上に形成されているシリコン窒化膜44aとサイドウォール46aとをマスクの一部として用いて、自己整合的にコンタクトホール49を形成してもよい。

【0076】次に、周辺回路領域において、第1の層間絶縁膜48上にレジストパターン（図示せず）を形成し、このレジストパターンをマスクとして、第1の層間絶縁膜48とノンドーフトシリコン酸化膜47とシリコン窒化膜44cとの一部を除去することにより、図6に示したような、コンタクトホール50、51を形成する。その後、レジストパターンを除去する。

【0077】次に、コンタクトホール49、50、51の内部と第1の層間絶縁膜48上とにドーフトポリシリコン膜（図示せず）を形成する。このドーフトポリシリコン膜上に高融点金属シリサイド膜（図示せず）を形成する。この高融点金属シリサイド膜上にシリコン窒化膜（図示せず）を形成する。このシリコン窒化膜上にレジストパターン（図示せず）を形成する。このレジストパターンをマスクとして、シリコン窒化膜と高融点金属シリサイド膜とドーフトポリシリコン膜との一部をエッチングにより除去することにより、図7に示すように、ビット線174を構成するドーフトポリシリコン膜52および高融点金属シリサイド膜53と、シリコン窒化膜54とを形成する。また同様に、周辺回路領域における配線202を構成するドーフトポリシリコン膜52および高融点金属シリサイド膜53と、シリコン窒化膜203とを形成する。その後、全体を覆うように、シリコン窒化膜（図示せず）を形成した後、このシリコン窒化膜の一部を異方性エッチングにより除去することにより、サイドウォール55a、55b、204a、204bを形成する。このようにして、図7に示すような構造を得る。

【0078】次に、第1の層間絶縁膜48とシリコン窒化膜54、203とサイドウォール55a、55b、204a、204bとの上にリンドーフトシリコン酸化膜からなる第2の層間絶縁膜37（図8参照）を形成する。この第2の層間絶縁膜37上にレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして用いたエッチングにより第2の層間絶縁膜3

7と第1の層間絶縁膜48とノンドーフトシリコン酸化膜47との一部を除去することにより、コンタクトホール38a(図8参照)を形成する。このコンタクトホール38aを形成するためのエッチングにおいては、反応性イオンエッチング法(Reactive Ion Etching法:以下RIE法と記す)を用いてもよい。また、サイドウォール46b、46cをマスクの一部として用いて、コンタクトホール38aを自己整合的に形成してもよい。その後、コンタクトホール38aの内部と第2の層間絶縁膜37上とにCVD法を用いて、ポリシリコン膜56を形成する。このポリシリコン膜56はアモルファスシリコン膜を用いてもよい。このようにして、図8に示すような構造を得る。

【0079】そして、CMP法あるいはドライエッチングにより第2の層間絶縁膜37上に位置するポリシリコン膜56を除去する。このようにして、図9に示すような構造を得る。

【0080】次に、全体を覆うように、シリコン窒化膜58(図10参照)を形成する。このシリコン窒化膜58上に、シリコン酸化膜からなる第3の層間絶縁膜59(図10参照)を形成する。この第3の層間絶縁膜59上にボロンドーフトシリコン酸化膜60(図10参照)を形成する。このボロンドーフトシリコン酸化膜60の代わりに、リンドーフトシリコン酸化膜を用いてもよい。ボロンドーフトシリコン酸化膜60上にレジストパターン(図示せず)を形成した後、このレジストパターンをマスクとして、ボロンドーフトシリコン酸化膜60と第3の層間絶縁膜59との一部をエッチングにより除去することにより、開口部61(図10参照)を形成する。開口部61の底部に存在するシリコン窒化膜58の一部をリン酸溶液あるいはドライエッチングにより除去する。その後、レジストパターンを除去する。このようにして、図10に示すような構造を得る。なお、開口部61を形成するためのエッチングにはRIE法を用いてもよい。

【0081】次に、全体を覆うように、ポリシリコン膜62(図11参照)を形成する。このポリシリコン膜62の代わりにアモルファスシリコンを用いてもよい。このようにして、図11に示すような構造を得る。

【0082】次に、開口部61の内部に位置するポリシリコン膜62上にレジスト70(図12参照)を形成する。その後、ドライエッチングによりボロンドーフトシリコン酸化膜60上に位置するポリシリコン膜62を除去する。このようにして、図12に示すように、キャパシタ下部電極170aが分離される。ここで、ボロンドーフトシリコン酸化膜60上に位置するポリシリコン膜62を除去する工程においては、CMP法を用いてもよい。

【0083】次に、ボロンドーフトシリコン酸化膜60を気相HFを用いることにより除去することで、図13

に示すような構造を得る。なお、ここではキャパシタ下部電極170aの材質としてポリシリコンやアモルファスシリコンを用いているが、キャパシタの誘電体膜としてBSTやPZTなどの高誘電体膜を用いる場合には、白金やルテニウムなどの金属、チタンなどの高融点金属、窒化チタン、さらにはこれらの複数の層からなる膜を用いてもよい。

【0084】その後、キャパシタ下部電極170aと第3の層間絶縁膜59上とに誘電体膜150(図2参照)を形成する。誘電体膜150上にキャパシタ上部電極151(図2参照)を形成する。キャパシタ上部電極151と第3の層間絶縁膜59との上に第4の層間絶縁膜205(図2参照)を形成することにより、図2に示すような構造を得る。

【0085】図14および15は、本発明の実施の形態1の製造工程の変形例を説明するための断面図である。図14および15を参照して、本発明の実施の形態1のDRAMの製造工程の変形例を説明する。

【0086】本発明の実施の形態1によるDRAMの製造工程の図9に示した第7工程を実施した後、シリコン窒化膜58(図14参照)、第3の層間絶縁膜59(図14参照)、ボロンドーフトシリコン酸化膜60(図14参照)を形成する。そして、ボロンドーフトシリコン酸化膜60上にポリシリコン膜141(図14参照)を形成する。そして、このポリシリコン膜141上にレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして、ポリシリコン膜141の一部を異方性エッチングにより除去する。その後、レジストパターンを除去する。そして、ポリシリコン膜141をマスクとして、ボロンドーフトシリコン酸化膜60と第3の層間絶縁膜59との一部を除去することにより、開口部61を形成する。そして、開口部61の底部においてシリコン窒化膜58を除去し、図14に示すような構造を得る。ここで、開口部61を形成するためのエッチングのマスクとして、ポリシリコン膜141のような導電膜を用いているので、マスクとしてレジストなどを用いる場合よりも精度の高いマスクパターンを形成することができる。このため、半導体装置の高集積化が可能となる。

【0087】その後、図15に示すように、開口部61の内部とポリシリコン膜141との上に、ポリシリコン膜62を形成する。そして、この工程以降の製造工程については、図11~13に示した本発明の実施の形態1によるDRAMの製造工程と同様の工程を実施する。

【0088】図16は、本発明の実施の形態1によるDRAMの第1の変形例を説明するための断面図である。図16を参照して、本発明の実施の形態1によるDRAMの第1の変形例は、基本的に図2に示した本発明の実施の形態1と同様の構造を備える。ただし、本発明の実施の形態1のDRAMの第1の変形例では、キャパシタ

下部電極170aの表面にシリコンからなる粒状結晶74を形成している。この粒状結晶74の形成方法としては、キャパシタ下部電極170aをリンやヒ素をドーブしたアモルファスシリコンもしくはノンドーブのアモルファスシリコンにより形成し、加熱炉内においてSiH<sub>4</sub>ガスを雰囲気ガスの一部として利用することにより、キャパシタ下部電極170aの露出部分表面にシリコンの核を付着させる。その後、雰囲気ガスの一部としてPH<sub>3</sub>ガスを導入し、高温でアニールすることにより粒状結晶74を形成する。また、キャパシタ下部電極170aにノンドーブのアモルファスシリコンを用いた場合には、粒状結晶74を形成した後、イオン注入法や気相法を用いてリンやヒ素をキャパシタ下部電極170aに導入してもよい。このように、キャパシタ下部電極170aの表面に粒状結晶74を形成するので、キャパシタ下部電極170aの表面積を大きくすることができる。これにより、キャパシタの容量を大きくすることが可能となる。このため、一定のキャパシタ容量を確保しながら、従来よりキャパシタ下部電極170aの占有面積を小さくすることができる。この結果、半導体装置をより微細化することが可能となる。

【0089】この実施の形態1によるDRAMの第1の変形例の製造方法としては、実施の形態1によるDRAMの図13に示した製造工程の後、キャパシタ下部電極170aの表面に上記したような方法を用いて粒状結晶74を形成する。その後、誘電体膜150（図16参照）、キャパシタ上部電極151（図16参照）、第4の層間絶縁膜205（図16参照）を実施の形態1によるDRAMと同様の工程により形成することで、図16に示すような構造を得る。

【0090】図17は、本発明の実施の形態1によるDRAMの第2の変形例を説明するための断面図である。図17を参照して、本発明の実施の形態1のDRAMの第2の変形例は、基本的には図2に示した本発明の実施の形態1によるDRAMと同様の構造を備える。しかし、この第2の変形例においては、キャパシタ下部電極170aの内部側面および底面に粒状結晶74が形成されている。このように、実施の形態1のDRAMの第2の変形例においては、図16に示した第1の変形例と同様、粒状結晶74を形成しているので、キャパシタ下部電極170aの表面積を増やすことができる。このため、図16に示した第1の変形例と同様の効果が得られる。

【0091】図18～20は、本発明の実施の形態1によるDRAMの第2の変形例の製造工程を説明するための断面図である。以下、図18～20を参照して、本発明の実施の形態1によるDRAMの第2の変形例の製造工程を説明する。

【0092】本発明の実施の形態1によるDRAMの図11に示した製造工程の後、図18に示すように、ポリ

シリコン膜62上に粒状結晶74を形成する。

【0093】その後、開口部61の内部における粒状結晶74上にレジスト70（図19参照）を形成した後、ドライエッチングを用いて、ボロンドープトシリコン酸化膜60上に位置する粒状結晶74とポリシリコン膜62とを除去する。このようにして、図19に示すような構造を得る。

【0094】次に、レジスト70を除去した後、気相HFを用いてボロンドープトシリコン酸化膜60を除去する。このようにして、図20に示すような構造を得る。

【0095】その後、誘電体膜150（図17参照）、キャパシタ上部電極151（図17参照）、および第4の層間絶縁膜205（図17参照）などを本発明の実施の形態1によるDRAMの製造工程と同様の工程により形成することによって、図17に示すような構造を得る。

【0096】図21は、本発明の実施の形態1によるDRAMの第3の変形例を示した断面図である。図21を参照して、本発明の実施の形態1によるDRAMの第3の変形例は、基本的には、図17に示した第2の変形例と同様の構造を備える。しかし、この第3の変形例においては、後述する製造工程に示すように、第3の層間絶縁膜77の上部をエッチングなどにより除去することによって、図21に示すような構造を得る。

【0097】図22～24は、本発明の実施の形態1によるDRAMの第3の変形例の製造工程を説明するための断面図である。以下、図22～24を参照して、本発明の実施の形態1によるDRAMの第3の変形例の製造工程を説明する。

【0098】まず、図3～9に示した本発明の実施の形態1によるDRAMの製造工程を実施した後、第2の層間絶縁膜37（図22参照）上にシリコン窒化膜58（図22参照）を形成する。その後、シリコン窒化膜58上に第3の層間絶縁膜77（図22参照）を形成する。第3の層間絶縁膜77上にレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、第3の層間絶縁膜77とシリコン窒化膜58との一部を除去することにより、開口部61（図22参照）を形成する。開口部61内部と第3の層間絶縁膜77上とにポリシリコン膜62（図22参照）を形成する。ポリシリコン膜62の表面に粒状結晶74（図22参照）を形成する。このようにして、図22に示すような構造を得る。

【0099】次に、開口部61内部における粒状結晶74上にレジスト70（図23参照）を形成した後、第3の層間絶縁膜77上に位置するポリシリコン膜62と粒状結晶74とをドライエッチングにより除去する。このようにして、図23に示すような構造を得る。

【0100】次に、レジスト70を除去した後、第3の層間絶縁膜77の一部をHF水溶液によって除去する。

このようにして、図 24 に示すような構造を得る。このように、第 3 の層間絶縁膜 77 の一部を HF 水溶液により除去するので、この HF 水溶液に第 3 の層間絶縁膜 77 が接触している時間を制御することにより、第 3 の層間絶縁膜 77 の除去される膜厚を制御することができる。これによって、キャパシタ下部電極 170a の外部側面において露出している面積を変更することができる。これにより、キャパシタとして利用されるキャパシタ下部電極 170a の外部側面の面積を変化させることによって、キャパシタの容量を制御することが可能となる。

【0101】その後、誘電体膜 150 (図 21 参照) などを本発明の実施の形態 1 による DRAM の製造工程と同様に形成することによって、図 21 に示すような構造を得る。

【0102】図 25 は、本発明の実施の形態 1 による DRAM の第 4 の変形例を示した断面図である。図 25 を参照して、本発明の実施の形態 1 による DRAM の第 4 の変形例は、基本的には図 21 に示した本発明の実施の形態 1 の第 3 の変形例とほぼ同様の構造を備える。しかし、この第 4 の変形例では、第 3 の層間絶縁膜 77 (図 21 参照) をほとんど除去している。そして、キャパシタ下部電極 170a の内部側面上に粒状結晶 74 を形成することによって、キャパシタ下部電極 170a の第 2 の層間絶縁膜 37 の上部表面からの高さを低くしている。これにより、メモリセル領域と周辺回路領域との間の第 4 の層間絶縁膜 205 の上部表面における段差の低減を図っている。

【0103】図 26 は、本発明の実施の形態 1 による DRAM の第 4 の変形例の製造工程を説明するための断面図である。

【0104】本発明の実施の形態 1 による DRAM の第 4 の変形例の製造工程は、図 23 に示した第 3 の変形例の製造工程の後、第 3 の層間絶縁膜 77 (図 23 参照) をほとんどすべてエッチングにより除去する。そのようにして、図 26 に示すような構造を得る。

【0105】その後、誘電体膜 150 (図 25 参照) などを形成し、図 25 に示すような構造を得る。

【0106】(実施の形態 2) 図 27 は、本発明の実施の形態 2 による DRAM の断面図である。図 27 を参照して、本発明の実施の形態 2 による DRAM は、基本的には、図 2 に示した本発明の実施の形態 1 による DRAM と同様の構造を備える。ただし、この実施の形態 2 による DRAM では、キャパシタ下部電極 92 が厚膜型である。そして、このようにキャパシタ下部電極 92 が第 3 の層間絶縁膜 59 に部分的に埋込まれた状態になっているので、第 3 の層間絶縁膜 59 の上部表面とキャパシタ下部電極 92 の上部表面との段差を従来より小さくすることができる。これにより、メモリセル領域と周辺回路領域とにおける第 4 の層間絶縁膜 205 の上部表面で

の段差を従来より小さくすることができる。また、第 3 の層間絶縁膜 59 の上部表面の位置を変更することにより、キャパシタ下部電極 92 のキャパシタとして作用する表面積を変更することができ、これによりキャパシタの容量を任意に変更することができる。

【0107】図 28 および 29 は、本発明の実施の形態 2 による DRAM の製造工程を説明するための断面図である。以下、図 28 および 29 を参照して、本発明の実施の形態 2 による DRAM の製造工程を説明する。

10 【0108】まず、図 3～10 に示した本発明の実施の形態 1 による DRAM の製造工程を実施した後、図 28 に示すように、開口部 61 の内部とボロンドープトシリコン酸化膜 60 上にポリシリコン膜 91 を形成する。

【0109】次に、ドライエッチングもしくは CMP 法を用いて、ボロンドープトシリコン酸化膜 60 上に位置するポリシリコン膜 91 を除去する。そして、ボロンドープトシリコン酸化膜 60 を、気相 HF を用いて除去する。このようにして、図 29 に示すような構造を得る。

20 【0110】その後、誘電体膜 150 (図 27 参照)、キャパシタ上部電極 151 (図 27 参照)、および第 4 の層間絶縁膜 205 (図 27 参照) などを形成することによって、図 27 に示すような構造を得る。なお、周辺回路領域は図 3～13 に示した本発明の実施の形態 1 による DRAM の周辺回路領域と同様の製造工程により形成される。

30 【0111】図 30 は、本発明の実施の形態 2 による DRAM の第 1 の変形例を説明するための断面図である。図 30 を参照して、本発明の実施の形態 2 による DRAM の第 1 の変形例は、基本的には図 27 に示した本発明の実施の形態 2 による DRAM と同様の構造を備える。しかし、この第 1 の変形例では、キャパシタ下部電極 92 の上部側面にポリシリコンからなるサイドウォール 96、97 が形成されている。そして、このサイドウォール 96、97 の表面は、曲面状の部分を有している。このため、このサイドウォール 96、97 を形成しない場合よりも、キャパシタ下部電極 92 のキャパシタとして作用する表面積を大きくすることができる。これにより、キャパシタの容量を大きくすることが可能となる。このため、キャパシタの容量を確保しながら、従来よりキャパシタ下部電極 92 の占有面積を小さくすることができる。この結果、半導体装置をより微細化することが可能となる。

【0112】図 31 および 32 は、本発明の実施の形態 2 による DRAM の第 1 の変形例の製造工程を説明するための断面図である。以下、図 31 および 32 を参照して、本発明の実施の形態 2 による DRAM の第 2 の変形例の製造工程を説明する。

50 【0113】まず、図 28 および 29 に示した本発明の実施の形態 2 による DRAM の製造工程を実施した後、図 31 に示すように、第 3 の層間絶縁膜 59 とキャパシ

タ下部電極 92 との上にアモルファスシリコン膜 95 を形成する。

【0114】次に、このアモルファスシリコン膜 95 の一部を異方性エッチングにより除去することにより、図 32 に示すように、サイドウォール 96、97 を形成する。

【0115】その後、誘電体膜 150 (図 30 参照)、キャパシタ上部電極 151 (図 30 参照) および第 4 の層間絶縁膜 205 (図 30 参照) などを形成することにより、図 30 に示すような構造を得る。

【0116】図 33 は、本発明の実施の形態 2 による DRAM の第 2 の変形例を示した断面図である。図 33 を参照して、本発明の実施の形態 2 による DRAM の第 2 の変形例は、基本的には図 27 に示した本発明の実施の形態 2 による DRAM と同様の構造を備える。しかし、この第 2 の変形例では、キャパシタ下部電極 92 の第 3 の層間絶縁膜 59 より上に位置する表面に、粒状結晶 74 が形成されている。これにより、キャパシタ下部電極 92 の占有面積を大きくすることなく、キャパシタ下部電極の表面積を大きくすることが可能となる。これにより、キャパシタの容量を大きくすることができる。

【0117】図 34 は、本発明の実施の形態 2 による DRAM の第 2 の変形例の製造工程を説明するための断面図である。以下、図 34 を参照して、本発明の実施の形態 2 による DRAM の第 2 の変形例の製造工程を説明する。

【0118】まず、図 28 および 29 に示した本発明の実施の形態 2 による DRAM の製造工程を実施した後、図 34 に示すように、キャパシタ下部電極 92 の表面に粒状結晶 74 を形成する。この粒状結晶 74 の形成方法としては、本発明の実施の形態 1 の第 1 の変形例または第 2 の変形例で用いた方法と同様の方法を用いる。

【0119】その後、誘電体膜 150 (図 33 参照) などを形成して、図 33 に示すような構造を得る。

【0120】図 35 は、本発明の実施の形態 2 による DRAM の第 3 の変形例を示した断面図である。図 35 を参照して、本発明の実施の形態 2 による DRAM の第 3 の変形例は、基本的には図 30 に示した本発明の実施の形態 2 による DRAM の第 1 の変形例と同様の構造を備える。しかし、この第 3 の変形例では、アモルファスシリコンからなるサイドウォール 96、97 の表面にシリコンからなる粒状結晶 98 を形成している。このため、この第 3 の変形例では、サイドウォール 96、97 の形成によりキャパシタ下部電極 92 の表面積を増大させると同時に、粒状結晶 98 によってもキャパシタ下部電極 92 の表面積を増加させることができる。これにより、キャパシタの容量をより増大させることができる。

【0121】図 36 は、図 35 に示した本発明の実施の形態 2 による DRAM の第 3 の変形例の製造工程を説明するための断面図である。以下、図 36 を参照して、本

発明の実施の形態 2 による DRAM の第 3 の変形例の製造工程を説明する。

【0122】まず、図 31 および 32 に示した、本発明の実施の形態 2 による DRAM の第 1 の変形例の製造工程を実施した後、図 33 に示した本発明の実施の形態 2 による DRAM の第 2 の変形例における粒状結晶 74

(図 33 参照) を形成したのと同様の工程により、サイドウォール 96、97 の表面に粒状結晶 98 を形成する。

10 【0123】その後、誘電体膜 150 (図 35 参照) などを形成することによって、図 35 に示すような構造を得る。

【0124】図 37 は、本発明の実施の形態 2 による DRAM の第 4 の変形例を示した断面図である。図 37 を参照して、本発明の実施の形態 2 による DRAM の第 4 の変形例は、基本的には図 30 に示した本発明の実施の形態 2 の DRAM の第 1 の変形例と同様の構造を備える。ただし、この第 4 の変形例では、キャパシタ下部電極 92 とサイドウォール 96、97 との表面上に粒状結晶 98 が形成されている。このため、キャパシタ下部電極の表面積をサイドウォール 96、97 や粒状結晶 98 が形成されていない場合よりも増大させることができ、よりキャパシタの容量を大きくすることができる。これにより、一定のキャパシタ容量を確保しながら、従来よりキャパシタ下部電極の占有面積をより小さくすることができる。この結果、半導体装置をより微細化することができる。

【0125】図 38 は、図 37 に示した本発明の実施の形態 2 による DRAM の第 4 の変形例の製造工程を説明するための断面図である。図 38 を参照して、図 37 に示した本発明の実施の形態 2 による DRAM の第 4 の変形例の製造工程を説明する。

【0126】まず、図 31 および 32 に示した本発明の実施の形態 2 による DRAM の第 1 の変形例の製造工程を実施する。その際、キャパシタ下部電極 92 はアモルファスシリコンにより形成する。そして、図 38 に示すように、キャパシタ下部電極 92 とサイドウォール 96、97 との表面に、図 18 に示したような本発明の実施の形態 1 の第 2 の変形例の製造工程において用いた工程により、粒状結晶 98 を形成する。

【0127】その後、誘電体膜 150 (図 37 参照) などを形成して、図 37 に示すような構造を得る。

【0128】(実施の形態 3) 図 39 は、本発明の実施の形態 3 による DRAM を説明するための断面図である。この図 39 におけるメモリセル領域の断面図は、図 1 における線分 600-600 における断面を示している。図 39 を参照して、本発明の実施の形態 3 による DRAM のメモリセル領域には、半導体基板 1 の主表面に活性領域 39 を囲むようにトレンチ分離酸化膜 40 が形成されている。半導体基板 1 の主表面には、ソース/ド

レイン領域 201a~201c が形成されている。ソース/ドレイン領域 201a~201c に隣接するチャネル領域上には、ゲート絶縁膜 42a、42b、42e を介してゲート電極 43a、43b、43e が形成されている。ゲート電極 43a、43b、43e 上にはシリコン窒化膜 44a、44b、44e が形成されている。そして、このゲート絶縁膜 42a、42b、42e とゲート電極 43a、43b、43e とシリコン窒化膜 44a、44b、44e との側面には、シリコン窒化膜からなるサイドウォール 46a~46d、46h、46i が形成されている。シリコン窒化膜 44a、44b、44e とサイドウォール 46a~46d、46h、46i と半導体基板 1 の主表面との上にはノンドープトシリコン酸化膜 47 が形成されている。ノンドープトシリコン酸化膜 47 上には第 1 の層間絶縁膜 48 が形成されている。第 1 の層間絶縁膜 48 上には第 2 の層間絶縁膜 37 が形成されている。第 1 および第 2 の層間絶縁膜 48、37 とノンドープトシリコン酸化膜 47 との一部を除去することにより、コンタクトホール 38a、38b が形成されている。コンタクトホール 38a、38b の内部にはそれぞれポリシリコンからなるプラグ 57a、57b が形成されている。第 2 の層間絶縁膜 37 の上部表面の一部にはシリコン窒化膜 58 が形成されている。プラグ 57a、57b と第 2 の層間絶縁膜 37 との上にはキャパシタ下部電極 170a、170b が形成されている。キャパシタ下部電極 170a と 170b との横には第 3 の層間絶縁膜 77 が形成されている。キャパシタ下部電極 170a、170b の内側表面には粒状結晶 74 が形成されている。粒状結晶 74 と第 3 の層間絶縁膜 77 との上にはキャパシタの誘電体膜 150 が形成されている。誘電体膜 150 上にはキャパシタ上部電極 151 が形成されている。キャパシタ上部電極 151 上には第 4 の層間絶縁膜 205 が形成されている。そして、キャパシタ下部電極 170a と 170b との間に位置する第 3 の層間絶縁膜 77 の一部の幅 W2 は、写真製版加工により形成可能な最小加工寸法より小さい。

【0129】本発明の実施の形態 3 による DRAM の周辺回路領域における断面図は、基本的に図 2 に示した本発明の実施の形態 1 による DRAM の周辺回路領域における断面図と同様の構造を示している。

【0130】このように、本発明の実施の形態 3 による DRAM では、図 39 に示すように、キャパシタ下部電極 170a、170b の頂面と第 3 の層間絶縁膜 77 の上部表面とのそれぞれの高さがほぼ同一になっているので、メモリセル領域と周辺回路領域との間における、第 4 の層間絶縁膜 205 の上部表面での段差の発生を防止できる。このため、この第 4 の層間絶縁膜 205 上に配線層を写真製版加工により形成する場合にも、上記段差があることに起因して配線層のパターンが不鮮明になることを防止できる。これにより、上記配線層のパターン

が不鮮明なことによって上記配線の断線や短絡といった問題が発生することを防止できる。これにより、高集積化を図ると同時にキャパシタの容量を確保するとともに、高い信頼性を有する半導体装置を得ることができ。また、第 3 の層間絶縁膜 77 の幅 W2 が写真製版加工により形成可能な最小加工寸法より小さいので、従来よりもキャパシタ下部電極 107a、107b の間の間隔を小さくすることができる。この結果、半導体装置をより高集積化することができる。なお、第 1 および第 2 の実施の形態においても、この実施の形態 3 と同様にキャパシタ下部電極の間の層間絶縁膜の幅を写真製版加工により形成可能な最小加工寸法より小さくすれば、同様の効果が得られる。

【0131】図 40~42 は、図 39 に示した本発明の実施の形態 3 による DRAM の製造工程を説明するための断面図である。以下、図 40~42 を参照して、本発明の実施の形態 3 による DRAM の製造工程を説明する。

【0132】まず、本発明の実施の形態 3 による DRAM のメモリセル領域においては、半導体基板 1 (図 40 参照) の主表面にトレンチ分離酸化膜 40 (図 40 参照) を形成する。半導体基板 1 の主表面上にゲート絶縁膜となるシリコン酸化膜 (図示せず) を形成する。このシリコン酸化膜上にゲート電極となるポリシリコン膜 (図示せず) を形成する。このポリシリコン膜上にシリコン窒化膜 (図示せず) を形成する。このシリコン窒化膜上にレジストパターンを形成する。このレジストパターンをマスクとして、シリコン窒化膜とポリシリコン膜とシリコン酸化膜とをエッチングすることにより、ゲート絶縁膜 42a、42b、42e と、ゲート電極 43a、43b、43e と、シリコン窒化膜 44a、44b、44e (図 40 参照) とを形成する。そして、全体を覆うように、シリコン窒化膜 (図示せず) を形成する。その後、このシリコン窒化膜を異方性エッチングすることにより、サイドウォール 46a~46d、46h、46i (図 40 参照) を形成する。そして、全体を覆うように、ノンドープトシリコン酸化膜 47 (図 40 参照) を形成する。ノンドープトシリコン酸化膜 47 上に、ノンドープトシリコン酸化膜からなる第 1 の層間絶縁膜 48 (図 40 参照) を形成する。第 1 の層間絶縁膜 48 上に、第 2 の層間絶縁膜 37 (図 40 参照) を形成する。第 2 の層間絶縁膜 37 上にレジストパターンを形成した後、このレジストパターンをマスクとして、第 1 および第 2 の層間絶縁膜 48、37 およびノンドープトシリコン酸化膜 47 の一部を除去することにより、コンタクトホール 38a、38b (図 40 参照) を形成する。コンタクトホール 38a、38b の内部にポリシリコンからなるプラグ 57a、57b を形成する。第 2 の層間絶縁膜 37 とプラグ 57a、57b との上に、シリコン窒化膜 58 (図 40 参照) を形成する。シリコン窒



化膜 58 上にシリコン酸化膜からなる第 3 の層間絶縁膜 77 を形成する。第 3 の層間絶縁膜 77 上にレジストパターンを形成した後、このレジストパターンをマスクとして、第 3 の層間絶縁膜 77 とシリコン窒化膜 58 との一部を除去することにより、開口部 61 a、61 b を形成する。このようにして、図 40 に示すような構造を得る。ここで、開口部 61 a の幅を L1、開口部 61 a と 61 b との間に位置する第 3 の層間絶縁膜 77 の一部の幅を W1 とする。

【0133】次に、アルカリや酸などの水溶液を用いたウェットエッチングにより、第 3 の層間絶縁膜 77 の表面の一部を除去する。これにより、開口部 61 a の幅が L1 から L2 (図 41 参照) へ広がると同時に、開口部 61 a と 61 b との間に位置する第 3 の層間絶縁膜 77 の一部の幅が、W1 から W2 (図 41 参照) へと小さくなる。このようにして、図 41 に示すような構造を得る。

【0134】次に、図 22 および 23 に示した本発明の実施の形態 1 による DRAM の第 3 の変形例の製造工程を用いて、第 3 の層間絶縁膜 77 上と開口部 61 a、61 b の内部とにアモルファスシリコン膜 (図示せず) を形成する。そして、このアモルファスシリコン膜上に粒状結晶 74 (図 42 参照) を形成する。そして、第 3 の層間絶縁膜 77 の上部表面上に位置するアモルファスシリコン膜と粒状結晶とをドライエッチングなどを用いて除去することにより、図 42 に示すような構成を得る。

【0135】その後、粒状結晶 74 上と第 3 の層間絶縁膜 77 上とに誘電体膜 150 (図 39 参照) など形成することにより、図 39 に示すような構造を得る。なお周辺回路領域は図 3~13 に示した本発明の実施の形態 1 による DRAM の周辺回路領域と同様の製造工程により形成される。

【0136】図 43 は、本発明の実施の形態 3 による DRAM の第 1 の変形例を示した断面図である。図 43 を参照して、本発明の実施の形態 3 による DRAM の第 1 の変形例は、基本的には図 39 に示した本発明の実施の形態 3 による DRAM と同様の構造を備える。ただし、この図 43 に示した本発明の実施の形態 3 による DRAM の第 1 の変形例では、第 3 の層間絶縁膜をノンドープトシリコン酸化膜 85 とボロンドープトシリコン酸化膜 86 とから構成している。このように、第 3 の層間絶縁膜を 2 層構造にすることによって、後述する製造工程において、開口部 61 a、61 b の幅を広げる際に、気相 HF を用いて、上層のノンドープトシリコン酸化膜 85 をエッチングすることなく、ボロンドープトシリコン酸化膜 86 のみをエッチングし、開口部 61 a、61 b の幅を広げることができる。これにより、開口部 61 a、61 b の幅を広げ、その間に位置する第 3 の層間絶縁膜の一部の幅を小さくする工程において、この第 3 の層間絶縁膜の上部表面がエッチングにより除去されることを

防止できる。このため、その後に形成されるキャパシタ下部電極 170 a、170 b の側面の高さが低くなることを防止できる。この結果、キャパシタ下部電極の表面積が小さくなることを防止し、キャパシタの容量が低減することを防止できる。

【0137】図 44~46 は、図 43 に示した本発明の実施の形態 3 による DRAM の第 1 の変形例の製造工程を説明するための断面図である。以下、図 44~46 を参照して、本発明の実施の形態 3 による DRAM の第 1 の変形例の製造工程を説明する。

【0138】まず、図 40 に示した本発明の実施の形態 3 による DRAM の製造工程と基本的に同様の工程により、図 44 に示したような構造を得る。ただし、図 40 に示した工程においては、第 3 の層間絶縁膜 77 は 1 層であったのに対し、この図 44 に示した工程においては、第 3 の層間絶縁膜はシリコン窒化膜 58 上にボロンドープトシリコン酸化膜 86 を形成した後、このボロンドープトシリコン酸化膜上にノンドープトシリコン酸化膜 85 を形成している。そして、このときの開口部 61 a の幅を L1、開口部 61 a と 61 b との間に位置する第 3 の層間絶縁膜 86、85 の一部の幅を W1 とする。

【0139】次に、図 45 に示すように、気相 HF を用いて、ボロンドープトシリコン酸化膜 86 の側面のみをエッチングにより除去する。このため、開口部 61 a の幅は L2 となり、開口部 61 a と 61 b の間に位置する第 3 の層間絶縁膜 86 の一部の幅を W2 と、最初のエッチングにより形成された幅 W1 よりも小さくすることができる。

【0140】そして、図 42 に示した本発明の実施の形態 3 による DRAM の製造工程において、キャパシタ下部電極 170 a、170 b (図 42 参照) と粒状結晶 74 (図 42 参照) とを形成した工程と同様の工程により、図 46 に示すように、開口部 61 a、61 b の内部にキャパシタ下部電極 170 a、170 b と粒状結晶 74 とを形成する。

【0141】その後、誘電体膜 150 (図 43 参照) など形成することにより、図 43 に示すような構造を得る。

【0142】図 47 は、本発明の実施の形態 3 による DRAM の第 2 の変形例を示した断面図である。図 47 を参照して、本発明の実施の形態 3 による DRAM の第 2 の変形例は、基本的には、図 39 に示した本発明の実施の形態 3 による DRAM と同様の構造を備えている。ただし、この図 47 に示した本発明の実施の形態 3 による DRAM の第 2 の変形例では、キャパシタ下部電極 170 a、170 b の側面が湾曲面を有している。このため、キャパシタ下部電極 170 a、170 b の側面の表面積を、図 39 に示したようなキャパシタの下部電極 170 a、170 b のように平面状にした場合よりも、大きくすることができる。このため、一定のキャパシタ容



量を確保しながら、従来よりもよりキャパシタの占有面積を小さくすることができ、この結果、半導体装置をより微細化することが可能となる。

【0143】図48および49は、図47に示した本発明の実施の形態3によるDRAMの第2の変形例の製造工程を説明するための断面図である。図48および49を参照して、以下に本発明の実施の形態3によるDRAMの第2の変形例の製造工程を説明する。

【0144】まず、図40に示した本発明の実施の形態3によるDRAMの製造工程の第1工程を実施する。ただし、第3の層間絶縁膜77（図48参照）をドライエッチングする際に、このエッチングの雰囲気圧力を高圧にする。これにより、図48に示すように、開口部61a、61bの内部における第3の層間絶縁膜77の側面を湾曲面を有するように形成することができる。なお、このエッチング工程においては、第3の層間絶縁膜77の側面を保護する膜を形成するためのエッチングガスの雰囲気ガスへの混入量を減少させてもよい。このエッチング工程において用いるエッチングガスとしては、CH<sub>3</sub>F<sub>3</sub>/CF<sub>4</sub>系のガスを用いてもよい。この場合には、CF<sub>4</sub>の流量を増やすことが湾曲面を形成することに対し有効であり、また、O<sub>2</sub>などのガスを混合することも有効である。

【0145】次に、図49に示すように、本発明の実施の形態3によるDRAMの図42に示した製造工程と同じように、開口部61a、61bの内部にキャパシタ下部電極170a、170bと粒状結晶74とを形成する。

【0146】その後、誘電体膜150（図47参照）などを形成することにより、図47に示すような構成を得る。なお、このようにキャパシタ下部電極170a、170bの側面を湾曲面を有するように形成することは、図1～26に示した本発明の実施の形態1によるDRAMのキャパシタ下部電極に適用しても、また他の円筒型キャパシタ下部電極を有する実施例に適用しても同様の効果が得られる。

【0147】（実施の形態4）図50は、本発明の実施の形態4によるDRAMの断面図を示している。ここで、図50に示したメモリセル領域の断面は、図1に示したDRAMのメモリセルの平面模式図の線分500-500における断面を示している。そして、この図50に示した本発明の実施の形態4によるDRAMは、基本的には図2に示した本発明の実施の形態1によるDRAMと同様の構造を備える。ただし、この実施の形態4によるDRAMでは、キャパシタ下部電極170aと第3の層間絶縁膜77との間に後述する製造工程に示すように空隙が形成され、この空隙において誘電体膜150とキャパシタ上部電極151とが形成されている。また、第3の層間絶縁膜77の上部表面の位置はキャパシタ下部電極170aの頂面とほぼ同様の高さに位置するよう

に形成されている。このように、本発明の実施の形態4によるDRAMでは、後述する製造工程においてキャパシタ下部電極170aと第3の層間絶縁膜77との間に空隙を形成するので、キャパシタ下部電極170aの側面をキャパシタとして利用できる。このため、キャパシタ下部電極170aの形状を変えずに、キャパシタの容量を増大させることができる。

【0148】また、第3の層間絶縁膜77をメモリセル領域から周辺回路領域にまで延在するように形成しているので、メモリセル領域と周辺回路領域とにおいてキャパシタ上部電極151上に第4の層間絶縁膜を形成した場合でも、メモリセル領域と周辺回路領域との間における上記第4の層間絶縁膜の上部表面において段差の発生を防止できる。また、後述する製造工程において示すように、キャパシタ下部電極170aの側面のみに空隙を形成するので、キャパシタ下部電極170aの底面においてはキャパシタ下部電極170aと第2の層間絶縁膜37とが上記空隙を形成した際にも、常に接触した状態になっている。このため、上記空隙が形成された状態で半導体基板を洗浄するような工程においても、キャパシタ下部電極170aの底面が第2の層間絶縁膜37と接触していることにより、この第2の層間絶縁膜37が物理的な衝撃に対する補強部材として作用する。このため、上記したような洗浄工程などにおける物理的な振動によりキャパシタ下部電極170aが折損するといった問題の発生を防止できる。

【0149】図51～55は、図50に示した本発明の実施の形態4によるDRAMの製造工程を説明するための断面図である。図51～55を参照して、本発明の実施の形態4によるDRAMの製造工程を説明する。

【0150】まず、図3～9に示した本発明の実施の形態1によるDRAMの製造工程を実施した後、第2の層間絶縁膜37（図51参照）上にシリコン窒化膜58（図51参照）と第3の層間絶縁膜77（図51参照）とを形成する。第3の層間絶縁膜77上にレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして第3の層間絶縁膜77の一部を異方性エッチングにより除去する。これにより開口部61（図51参照）を形成する。そして、開口部61の底部においてシリコン窒化膜58をエッチングにより除去する。ここで、図39に示した本発明の実施の形態3のように、エッチングにより開口部61の幅を広げてよい。このようにすることにより、さらに実施の形態3と同様の効果が得られる。その後、第3の層間絶縁膜77上と開口部61の内部とにシリコン窒化膜99（図51参照）を形成する。このようにして、図51に示すような構造を得る。この際、開口部61の底部におけるシリコン窒化膜58を除去せずに、シリコン窒化膜99を第3の層間絶縁膜77上と開口部61の内部とに形成してもよい。

【0151】次に、シリコン窒化膜99の一部を異方性

エッチングにより除去することにより、開口部 6 1 の内部にシリコン窒化膜からなるサイドウォール 1 0 0 を形成することにより、図 5 2 に示すような構造を得る。

【0152】次に、図 5 3 に示すように、第 3 の層間絶縁膜 7 7 上と開口部 6 1 内部とにポリシリコンやアモルファスシリコンなどの導電体膜 1 0 1 を形成する。

【0153】次に、実施の形態 1 と同様にエッチングなどにより第 3 の層間絶縁膜 7 7 上に位置する導電体膜 1 0 1 の一部を除去する。これにより、図 5 4 に示すような構造を得る。この工程により、各ビットごとのキャパシタ下部電極 1 7 0 a が分離される。

【0154】次に、エッチングによりシリコン窒化膜からなるサイドウォール 1 0 0 を選択的に除去することにより、キャパシタ下部電極 1 7 0 a と第 3 の層間絶縁膜 7 7 との間に空隙を形成する。このようにして、図 5 5 に示すような構造を得る。

【0155】その後、誘電体膜 1 5 0 (図 5 0 参照) などを形成することにより、図 5 0 に示すような構造を得る。なお周辺回路領域は図 3 ~ 1 3 に示した本発明の実施の形態 1 による DRAM の周辺回路領域と同様の製造工程により形成される。

【0156】図 5 6 は、本発明の実施の形態 4 による DRAM の第 1 の変形例を示した断面図である。図 5 6 を参照して、本発明の実施の形態 4 による DRAM の第 1 の変形例は、基本的には図 5 0 に示した本発明の実施の形態 4 による DRAM と同様の構造を備える。ただし、この第 1 の変形例では、キャパシタ下部電極 1 7 0 a と第 3 の層間絶縁膜 7 7 との間に位置するシリコン窒化膜からなるサイドウォール 1 0 0 が一部残存した状態で、キャパシタが形成されている。このように、サイドウォール 1 0 0 を一部残存させているので、このサイドウォール 1 0 0 の残存量を変更することで、キャパシタとして作用するキャパシタ下部電極 1 7 0 a の外部側面の表面積を変更することができる。これにより、キャパシタ下部電極 1 7 0 a の構造を変更することなく、キャパシタの容量を変更することが可能となる。また、残存するサイドウォール 1 0 0 の一部も物理的衝撃に対する上記補強部材の一部として作用するので、洗浄工程などにおける物理的な振動によるキャパシタ下部電極 1 7 0 a の折損といった問題の発生をより有効に防止できる。

【0157】図 5 7 は、図 5 6 に示した本発明の実施の形態 4 による DRAM の第 1 の変形例の製造工程を説明するための断面図である。以下、図 5 7 を参照して、本発明の実施の形態 4 による DRAM の第 1 の変形例の製造工程を説明する。

【0158】まず、図 5 1 ~ 5 4 に示した本発明の実施の形態 4 による DRAM の製造工程を実施した後、図 5 7 に示すように、サイドウォール 1 0 0 の一部が残存するようにサイドウォール 1 0 0 の一部をエッチングにより除去する。この際、ウェットエッチングを用いる場合

には、エッチング液への浸漬時間を制御することにより、このようにサイドウォール 1 0 0 の一部のみを除去することができる。

【0159】その後、誘電体膜 1 5 0 (図 5 6 参照) などを形成することにより、図 5 6 に示すような構造を得る。

【0160】図 5 8 は、本発明の実施の形態 4 による DRAM の第 2 の変形例を示した断面図である。図 5 8 を参照して、本発明の実施の形態 4 による DRAM の第 2 の変形例は、基本的には図 5 0 に示した本発明の実施の形態 4 による DRAM と同様の構造を備える。ただし、図 5 8 に示した本発明の実施の形態 4 による DRAM の第 2 の変形例では、後述する製造工程において、キャパシタ下部電極 1 7 0 a と第 3 の層間絶縁膜 7 7 との間に位置する空隙が、キャパシタ下部電極 1 7 0 a の底面の一部も露出させるように形成されている。そして、このキャパシタ下部電極 1 7 0 a の底面の一部もその上に誘電体膜 1 5 0 などが形成されることにより、キャパシタとして作用している。このように形成することで、キャパシタの容量をより増大させることができる。

【0161】図 5 9 は、図 5 8 に示した本発明の実施の形態 4 による DRAM の第 2 の変形例の製造工程を説明するための断面図である。図 5 9 を参照して、以下に本発明の実施の形態 4 による DRAM の第 2 の変形例の製造工程を説明する。

【0162】まず、図 5 1 ~ 5 4 に示した本発明の実施の形態 4 による DRAM の製造工程を実施した後、図 5 9 に示すように、キャパシタ下部電極 1 7 0 a と第 3 の層間絶縁膜 7 7 との間に位置するサイドウォール 1 0 0 (図 5 4 参照) を除去するエッチングを実施した後、そのサイドウォール 1 0 0 の下に位置する第 2 の層間絶縁膜 3 7 の一部も除去するようにエッチングを行なう。このようにして、キャパシタ下部電極 1 7 0 a の外部側面と底面の一部とを露出させるように、空隙を形成することができる。そして、このときキャパシタ下部電極 1 7 0 a の底面のその他の一部は、第 2 の層間絶縁膜 3 7 と接触した状態なので、この後に洗浄工程などを実施した場合でも、洗浄工程などにおける物理的な衝撃に対して、第 2 の層間絶縁膜 3 7 がキャパシタ下部電極 1 7 0 a の折損などを防止する補強部材として作用する。

【0163】その後、誘電体膜 1 5 0 (図 5 8 参照) などを形成することにより、図 5 8 に示すような構造を得る。

【0164】図 6 0 は、本発明の実施の形態 4 による DRAM の第 3 の変形例を示した断面図である。図 6 0 を参照して、本発明の実施の形態 4 による DRAM の第 3 の変形例は、基本的には図 5 0 に示した本発明の実施の形態 4 による DRAM と同様の構造を備える。ただし、この本発明の実施の形態 4 による DRAM の第 3 の変形例では、キャパシタ下部電極 1 7 0 a の内側表面に粒状

結晶 74 が形成されている。このため、キャパシタ下部電極 170a の占有面積を大きくすることなく、キャパシタ下部電極 170a の表面積を大きくすることができる。これにより、キャパシタの容量を大きくすることができる。その結果、一定のキャパシタ容量を確保しながら、キャパシタ下部電極 170a の占有面積を小さくすることができる。これにより、半導体装置の微細化を図ることが可能となる。

【0165】図 61～63 は、図 60 に示した本発明の実施の形態 4 による DRAM の第 3 の変形例の製造工程を説明するための断面図である。以下、図 61～63 を参照して、本発明の実施の形態 4 による DRAM の第 3 の変形例の製造工程を説明する。

【0166】まず、図 51～53 に示した本発明の実施の形態 4 による DRAM の製造工程を実施した後、導電体膜 101 上に粒状結晶 74 を実施の形態 1 などを用いた工程と同様の工程により形成する。このようにして、図 61 に示すような構造を得る。

【0167】次に、図 62 に示すように、第 3 の層間絶縁膜 77 上に位置する導電体膜 101 と粒状結晶 74 とをエッチングにより除去する。なお、ここでは CMP 法を用いてもよい。

【0168】次に、開口部 61 の内部におけるサイドウォール 100 をエッチングにより除去することにより、図 63 に示すように、キャパシタ下部電極 170a と第 3 の層間絶縁膜 77 との間に空隙を形成する。

【0169】その後、キャパシタの誘電体膜 150 (図 60 参照) などを形成することにより、図 60 に示したような構造を得る。

【0170】図 64 は、本発明の実施の形態 4 による DRAM の第 4 の変形例を示した断面図である。図 64 を参照して、本発明の実施の形態 4 による DRAM の第 4 の変形例は、基本的には、図 50 に示した本発明の実施の形態 4 による DRAM と同様の構造を備える。ただし、この本発明の実施の形態 4 による DRAM の第 4 の変形例では、キャパシタ下部電極 170a の内側表面および外部側面全体に粒状結晶 74 が形成されている。このため、キャパシタ下部電極 170a の占有面積を大きくすることなく、キャパシタ下部電極 170a の表面積をより大きくできる。これにより、一定のキャパシタ容量を確保しながら、従来よりキャパシタ下部電極 170a の占有面積をより小さくすることが可能となる。この結果、半導体装置をより微細化することができる。また、ここで、開口部 61 を形成した後、実施の形態 3 のようにこの開口部 61 の幅をエッチングにより広げることにより、キャパシタ下部電極 170a と他のキャパシタ下部電極との間に位置する第 3 の層間絶縁膜 77 の幅を写真製版加工により形成可能な最終加工寸法よりも小さくしてもよい。これにより、半導体装置をより高集積化することが可能となる。

【0171】図 65 は、図 64 に示した本発明の実施の形態 4 による DRAM の第 4 の変形例の製造工程を説明するための断面図である。図 65 を参照して、図 64 に示した本発明の実施の形態 4 による DRAM の第 4 の変形例の製造工程を説明する。

【0172】まず、図 51～55 に示した本発明の実施の形態 4 による DRAM の製造工程を実施する。その後、キャパシタ下部電極 170a の表面に本発明の実施の形態 1 で用いた工程と同じ工程により粒状結晶 74 (図 65 参照) を形成する。このようにして、図 65 に示すような構造を得る。

【0173】その後、誘電体膜 150 (図 64 参照) などを形成することにより、図 64 に示したような構造を得る。

【0174】(実施の形態 5) 図 66 は、本発明の実施の形態 5 による DRAM を示した断面図である。図 66 を参照して、本発明の実施の形態 5 による DRAM は、基本的には図 50 に示した本発明の実施の形態 4 による DRAM と同様の構造を備える。ただし、この実施の形態 5 による DRAM のキャパシタ下部電極 105 は、厚膜型の形状を有している。そして、このように本発明の実施の形態 5 による DRAM では、キャパシタ下部電極 105 の側面と第 3 の層間絶縁膜 77 との間に空隙を形成し、キャパシタ下部電極 105 の側面上に誘電体膜 150 およびキャパシタ上部電極 151 を形成しているので、キャパシタの容量を増大させることができる。また、キャパシタ下部電極 105 の側面と第 3 の層間絶縁膜 77 との間にのみ、後述する製造工程において空隙を形成するので、このような空隙を形成した状態において、キャパシタ下部電極 105 の底面と第 2 の層間絶縁膜 37 とが接触した状態にすることができる。このため、上記空隙が形成された状態で、この半導体装置が形成されている半導体基板を洗浄するような工程を実施しても、このキャパシタ下部電極 105 の底面と接触している第 2 の層間絶縁膜 37 が補強部材として作用し、上記洗浄工程などにおける物理的な振動によりキャパシタ下部電極 105 の一部が折損するというような問題の発生を防止できる。

【0175】また、キャパシタ下部電極 105 が第 3 の層間絶縁膜 77 に埋込まれた状態になっているので、このキャパシタ下部電極 105 に起因して、メモリセル領域と周辺回路領域等における第 4 の層間絶縁膜 205 の上部表面に段差が発生することを防止できる。このため、第 4 の層間絶縁膜 205 上にアルミニウムなどからなる配線層を写真製版加工により形成する場合にも、第 4 の層間絶縁膜 205 の上部表面に段差があることに起因してこの配線層のパターンが不鮮明になることを防止できる。このため、上記配線層のパターンが不鮮明なことに起因して、上記配線層の断線や短絡といった問題が発生することを防止できる。この結果、高集積化を図る

と同時に、キャパシタの容量を確保するとともに、高い信頼性を有する半導体装置を得ることができる。

【0176】また、この実施の形態5において、開口部61の幅をエッチングにより広げることにより、キャパシタ下部電極105と他のキャパシタ下部電極との間に位置する第3の層間絶縁膜77の一部の幅を写真製版加工により形成可能な最小加工寸法より小さくしてもよい。これにより、従来よりもキャパシタ下部電極105と他のキャパシタ下部電極との間の間隔を小さくすることができる。この結果、半導体装置をより高集積化することも可能となる。

【0177】図67～69は、図66に示した本発明の実施の形態5によるDRAMの製造工程を説明するための断面図である。図67～69を参照して、以下に本発明の実施の形態5によるDRAMの製造工程を説明する。

【0178】まず、図51および52に示した本発明の実施の形態4によるDRAMの製造工程を実施した後、図67に示すように第3の層間絶縁膜77上と開口部61内部とに、アモルファスシリコンなどからなる誘電体膜104を形成する。

【0179】次に、ドライエッチングもしくはCMP法を用いて、第3の層間絶縁膜77上に位置する誘電体膜104の一部を除去することにより、図68に示すような構造を得る。このようにして、キャパシタ下部電極105が形成される。

【0180】次に、図69に示すようにサイドウォール100（図68参照）をエッチングにより除去することにより、キャパシタ下部電極105と第3の層間絶縁膜77との間に空隙を形成する。

【0181】その後、キャパシタ下部電極105の表面と第3の層間絶縁膜77上とに誘電体膜150（図66参照）などを形成することにより、図66に示すような構造を得る。なお周辺回路領域は図3～13に示した本発明の実施の形態1によるDRAMの周辺回路領域と同様の製造工程により形成される。

【0182】図70は、本発明の実施の形態5によるDRAMの変形例を示した断面図である。図70を参照して、本発明の実施の形態5によるDRAMの変形例は、基本的には図66に示した本発明の実施の形態5によるDRAMと同様の構造を備える。ただし、この本発明の実施の形態5によるDRAMの変形例では、キャパシタ下部電極105の表面に粒状結晶74が形成されている。このため、図66に示した本発明の実施の形態5による効果に加えて、キャパシタ下部電極105の占有面積を大きくすることなく、キャパシタ下部電極の表面積をより大きくすることが可能となる。これにより、キャパシタの容量を大きくすることができる。このため、一定のキャパシタ容量を確保しながら、従来よりキャパシタ下部電極105の占有面積をより小さくすることがで

きる。この結果、半導体装置をより微細化することができる。

【0183】図71は、図70に示した本発明の実施の形態5によるDRAMの変形例の製造工程を説明するための断面図である。図71を参照して、以下に本発明の実施の形態5によるDRAMの製造工程を説明する。

【0184】まず、図67～69に示した本発明の実施の形態5によるDRAMの製造工程を実施した後、図71に示すように、キャパシタ下部電極105の表面に粒状結晶74を形成する。この粒状結晶74の形成工程としては、実施の形態1において用いた粒状結晶を形成する工程と同様の工程を用いる。

【0185】その後、第3の層間絶縁膜77上とキャパシタ下部電極105の表面上とに誘電体膜150（図70参照）などを形成することにより、図70に示すような構造を得る。

【0186】（実施の形態6）図72は、本発明の実施の形態6によるDRAMを示した断面図である。図72におけるメモリセル領域の断面図は、図1に示したDRAMのメモリセルの平面模式図における線分700-700における断面を示している。

【0187】図72を参照して、本発明の実施の形態6によるDRAMのメモリセル領域においては、半導体基板1の主表面に活性領域39を囲むようにトレンチ分離酸化膜40が形成されている。半導体基板1の主表面には、ソース／ドレイン領域201b、201cが形成されている。半導体基板1の主表面上には、ゲート絶縁膜42bを介してゲートで43bが形成されている。ゲート電極43b上にはシリコン窒化膜44bが形成されている。シリコン窒化膜44bとゲート電極43bとゲート絶縁膜42bとの側面には、シリコン窒化膜からなるサイドウォール46c、46dが形成されている。シリコン窒化膜44bとサイドウォール46c、46dと半導体基板1の主表面上とには、ノンドープトシリコン酸化膜47が形成されている。ノンドープトシリコン酸化膜47上には、第1の層間絶縁膜48が形成されている。第1の層間絶縁膜48上には、ドープトポリシリコン膜52と高融点金属シリサイド膜53とからなるビット線174が形成されている。ビット線174上には、シリコン窒化膜54が形成されている。シリコン窒化膜54とビット線174との側面には、シリコン窒化膜からなるサイドウォール55a、55bが形成されている。シリコン窒化膜54とサイドウォール55a、55bと第1の層間絶縁膜48との上には、第2の層間絶縁膜37が形成されている。第1および第2の層間絶縁膜48、37とノンドープトシリコン酸化膜47との一部を除去することにより、開口部110が形成されている。そして、この第2の層間絶縁膜37は、メモリセル領域から周辺回路領域にまで延在するように形成されている。開口部110の内部には、アモルファスシリコン

もしくはポリシリコンからなるキャパシタ下部電極112が、その一部が第2の層間絶縁膜37の上方に延びるように形成されている。キャパシタ下部電極112上と第2の層間絶縁膜37上とに、誘電体膜150が形成されている。誘電体膜150上には、キャパシタ上部電極151が形成されている。キャパシタ下部電極151上には、第3の層間絶縁膜205が形成されている。そして、この実施の形態6によるDRAMの周辺回路領域における構造は、基本的に図2に示した本発明の実施の形態1によるDRAMと同様である。

【0188】このように、本発明の実施の形態6によるDRAMでは、キャパシタ下部電極112が、第2の層間絶縁膜37に部分的に埋込まれた状態になっている。このため、従来と比べて、メモリセル領域における第2の層間絶縁膜37の上部表面と、キャパシタ下部電極112の頂面との段差を小さくすることができる。これにより、第3の層間絶縁膜205をメモリセル領域と周辺回路領域とに形成した場合でも、第3の層間絶縁膜205の上部表面において、メモリセル領域と周辺回路領域との間における段差を小さくすることができる。この結果、第3の層間絶縁膜205上にアルミニウムなどからなる配線層を写真製版加工により形成する場合にも、第3の層間絶縁膜205の上部表面の段差に起因して、この配線層のパターンが不鮮明になることを防止できる。その結果、この配線層のパターンが不鮮明なために上記配線層の断線や短絡といった問題の発生を防止できる。この結果、高集積化を図ると同時にキャパシタの容量を確保するとともに、高い信頼性を有する半導体装置を得ることができる。

【0189】また、図72に示すように、キャパシタ下部電極112とシリコン窒化膜54とサイドウォール55bとが接触しているので、後述する製造工程において、開口部110を形成するためのエッチングにおいて、シリコン窒化膜54とサイドウォール55bとをマスクとして利用できる。このため、従来のように、キャパシタ下部電極と、半導体基板1の主表面におけるソース／ドレイン領域201bとを接続するためのコンタクトホールを形成するために、レジストパターンのパターニングをする工程が不要となる。このため、製造工程数を削減することができる。

【0190】図73～77は、図72に示した本発明の実施の形態6によるDRAMの製造工程を説明するための断面図である。図73～77を参照して、以下に本発明の実施の形態6によるDRAMの製造工程を説明する。

【0191】まず、半導体基板1（図73参照）の主表面に活性領域39を囲むようにトレンチ分離酸化膜40（図73参照）を形成する。半導体基板1の主表面上にゲート絶縁膜となるシリコン酸化膜（図示せず）を形成する。シリコン酸化膜上にゲート電極となるポリシリコ

ン膜（図示せず）を形成する。ポリシリコン膜上にシリコン窒化膜（図示せず）を形成する。シリコン窒化膜上にレジストパターン（図示せず）を形成し、このレジストパターンをマスクとして、上記シリコン窒化膜、ポリシリコン膜、シリコン酸化膜の一部をエッチングにより除去する。このようにして、ゲート絶縁膜42b（図73参照）、ゲート電極43b（図73参照）、シリコン窒化膜44b（図73参照）を形成する。その後、レジストパターンを除去する。次に、全体を覆うようにシリコン窒化膜（図示せず）を形成する。このシリコン窒化膜の一部を異方性エッチングにより除去することにより、ゲート絶縁膜42b、ゲート電極43b、シリコン窒化膜44bの側面にサイドウォール46c、46d（図73参照）を形成する。全体を覆うように、ノンドープトシリコン酸化膜47（図73参照）を形成する。ノンドープトシリコン酸化膜47上に第1の層間絶縁膜48（図73参照）を形成する。第1の層間絶縁膜48上にドープトポリシリコン膜（図示せず）を形成する。ドープトポリシリコン膜上に高融点金属シリサイド膜（図示せず）を形成する。高融点金属シリサイド膜上にシリコン窒化膜（図示せず）を形成する。シリコン窒化膜上にレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、上記シリコン窒化膜、高融点金属シリサイド膜、ドープトポリシリコン膜の一部を除去することにより、ドープトポリシリコン膜52（図73参照）と高融点金属シリサイド膜53（図73参照）とからなるビット線174（図73参照）とシリコン窒化膜54（図73参照）とを形成する。全体を覆うようにシリコン窒化膜（図示せず）を形成した後、このシリコン窒化膜の一部を異方性エッチングにより除去することにより、サイドウォール55a、55b（図73参照）を形成する。シリコン窒化膜54上に第2の層間絶縁膜37（図73参照）を形成する。第2の層間絶縁膜37上にボロンドープトシリコン酸化膜60（図73参照）を形成する。このようにして、図73に示すような構造を得る。なお、周辺回路領域における電界効果型トランジスタおよび配線の製造工程は、本発明の実施の形態1によるDRAMの周辺回路領域の電界効果型トランジスタおよび配線の製造工程と同様である。

【0192】次に、ボロンドープトシリコン酸化膜60上にレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして用いて、ボロンドープトシリコン酸化膜60と第2の層間絶縁膜37と第1の層間絶縁膜48とノンドープトシリコン酸化膜47との一部を除去することにより、開口部110（図74参照）を形成する。この開口部110を形成するエッチングにおいては、シリコン窒化膜54、44bと、サイドウォール55b、46cとが、マスクの一部として使用されることになり、開口部110を自己整合的にソース／ドレイン領域201bにまで到達させることができ

る。その後、レジストパターンを除去することにより、図74に示すような構造を得る。

【0193】ここで、開口部110の幅を等方性エッチングを用いることによって、この開口部110の幅を広げてもよい。これにより、開口部110と他のキャパシタ下部電極のための開口部との間に位置する第2の層間絶縁膜37の一部の幅を写真製版加工による形成可能な最小加工寸法よりも小さくすることが可能となる。これにより、この開口部110においてキャパシタ下部電極112（図72参照）を形成した場合にも、このキャパシタ下部電極112と他のキャパシタ下部電極との間の間隔を従来よりも小さくすることができる。この結果、半導体装置をより高集積化することが可能となる。

【0194】次に、図75に示すように、ボロンドープトシリコン酸化膜60上と開口部110の内部とにアモルファスシリコンなどからなる導電体膜111を形成する。

【0195】次に、図76に示すように、ボロンドープトシリコン酸化膜60上に位置する導電体膜111（図75参照）をドライエッチングもしくはCMP法を用いて除去することにより、キャパシタ下部電極112を形成する。

【0196】次に、図77に示すように、ボロンドープトシリコン酸化膜（図76参照）をエッチングにより除去する。

【0197】その後、キャパシタ下部電極112上と第2の層間絶縁膜37上とに誘電体膜150（図72参照）などを形成することにより、図72に示すような構造を得る。

【0198】図78は、本発明の実施の形態6によるDRAMの第1の変形例を示した断面図である。図78を参照して、本発明の実施の形態6によるDRAMの第1の変形例は、基本的には図72に示した本発明の実施の形態6によるDRAMと同じ構造を備える。但し、この本発明の実施の形態6によるDRAMの第1の変形例では、キャパシタ下部電極112の内部表面に粒状結晶74が形成されている。このため、キャパシタ下部電極112の半導体基板1上での占有面積を大きくすることなく、キャパシタ下部電極112の表面積を大きくすることができる。これにより、キャパシタの容量を大きくすることができる。この結果、一定のキャパシタ容量を確保しつつキャパシタ下部電極112の占有面積を小さくすることができる。この結果、半導体装置をより微細化することができる。

【0199】この実施の形態6によるDRAMの第1の変形例の製造工程としては、図73～75に示した本発明の実施の形態6によるDRAMの製造工程を実施した後、図22に示した本発明の実施の形態1によるDRAMの第3の変形例の製造工程を実施する。その後、図76および77に示した本発明の実施の形態6によるDR

AMの製造工程を実施することにより、図78に示すような構造を得ることができる。

【0200】図79は、本発明の実施の形態6によるDRAMの第2の変形例を示した断面図である。図79を参照して、本発明の実施の形態6によるDRAMの第2の変形例は、基本的には図72に示した本発明の実施の形態6によるDRAMと同様の構造を備える。しかし、この図79に示した本発明の実施の形態6によるDRAMの第2の変形例では、キャパシタ下部電極112の内側表面および外部側面にも粒状結晶74が形成されている。このため、キャパシタ下部電極112の占有面積を大きくすることなく、キャパシタ下部電極112の表面積を大きくすることができる。このため、一定のキャパシタ容量を確保しながら、よりキャパシタ下部電極112の占有面積を小さくすることが可能となる。

【0201】図80は、図79に示した本発明の実施の形態6によるDRAMの第2の変形例の製造工程を説明するための断面図である。図80を参照して、以下に本発明の実施の形態6によるDRAMの第2の変形例の製造工程を説明する。

【0202】まず、図73～77に示した本発明の実施の形態6によるDRAMの製造工程を実施した後、キャパシタ下部電極112の表面に粒状結晶74（図80参照）を形成する。この粒状結晶74の形成工程としては、本発明の実施の形態1において粒状結晶を形成するのに用いた工程を用いる。このようにして、図80に示すような構造を得る。

【0203】その後、粒状結晶74上と第2の層間絶縁膜37上とに誘電体膜150（図79参照）などを形成することにより、図79に示すような構造を得る。

【0204】図81は、本発明の実施の形態6によるDRAMの第3の変形例を示した断面図である。図81を参照して、本発明の実施の形態6によるDRAMの第3の変形例は、基本的には図72に示した本発明の実施の形態6によるDRAMと同様の構造を備える。ただし、この本発明の実施の形態6によるDRAMの第3の変形例では、キャパシタ下部電極92が厚膜型となるように形成されている。そして、この図81に示した本発明の実施の形態6によるDRAMの第3の変形例においても、図72に示した本発明の実施の形態6によるDRAMと同様の効果が得られる。

【0205】この図81に示した本発明の実施の形態6によるDRAMの第3の変形例の製造工程としては、まず、図73および74に示した、本発明の実施の形態6によるDRAMの製造工程を実施した後、図28および29に示した本発明の実施の形態2によるDRAMの製造工程を実施する。このようにして、図81に示すような構造を得る。

【0206】図82は、本発明の実施の形態6によるDRAMの第4の変形例を示した断面図である。図82を



参照して、本発明の実施の形態6によるDRAMの第4の変形例は、基本的には図81に示した本発明の実施の形態6によるDRAMの第3の変形例と同様の構造を備える。しかし、この図82に示した第4の変形例では、キャパシタ下部電極92の側面にサイドウォール96、97を備えている。サイドウォール96、97は、その表面の少なくとも1部が曲面状に形成されている。このため、キャパシタ下部電極92にサイドウォール96、97を形成しない場合よりも、キャパシタ下部電極92の側面における表面積を大きくすることができる。これにより、キャパシタ容量を大きくすることが可能となる。このため、一定のキャパシタ容量を確保しながら、従来よりキャパシタ下部電極の占有面積を小さくすることができる。この結果、半導体装置をより微細化することができる。

【0207】この図82に示した本発明の実施の形態6によるDRAMの第4の変形例の製造工程としては、図73および74に示した本発明の実施の形態6によるDRAMの製造工程を実施した後、図28および29に示した本発明の実施の形態2によるDRAMの製造工程を実施する。その後、図31、32に示した本発明の実施の形態2によるDRAMの第1の変形例の製造工程を実施する。このようにして、図82に示すような構造を得る。

【0208】図83は、本発明の実施の形態6によるDRAMの第5の変形例を示した断面図である。図83を参照して、本発明の実施の形態6によるDRAMの第5の変形例は、基本的には図82に示した本発明の実施の形態6によるDRAMの第4の変形例と同様の構造を備えるが、キャパシタ下部電極92の側面に形成されたサイドウォール96、97の表面に粒状結晶98をさらに備える。このため、この本発明の実施の形態6によるDRAMの第5の変形例は、粒状結晶98を備えるので、キャパシタ下部電極92の占有面積を大きくすることなく、キャパシタ下部電極の表面積をさらに大きくすることができる。これにより、キャパシタの容量を大きくすることができる。これにより、一定のキャパシタ容量を確保しながら、従来よりキャパシタ下部電極92の占有面積を小さくすることができ、半導体装置をより微細化することができる。

【0209】この図83に示した本発明の実施の形態6によるDRAMの第5の変形例の製造工程としては、まず、図73および74に示した本発明の実施の形態6によるDRAMの製造工程を実施した後、図28および29に示した本発明の実施の形態2によるDRAMの製造工程を実施する。そして、図31および32に示した本発明の実施の形態2によるDRAMの第1の変形例の製造工程を実施した後、図36に示した本発明の実施の形態2によるDRAMの第3の変形例の製造工程を実施する。このようにして、図83に示すような構造を得る。

【0210】図84は、本発明の実施の形態6によるDRAMの第6の変形例を示した断面図である。図84を参照して、本発明の実施の形態6によるDRAMの第6の変形例は、基本的には図83に示した本発明の実施の形態6によるDRAMの第5の変形例と同様の構造を備える。ただし、この図84に示した第6の変形例では、キャパシタ下部電極92の上部表面にも粒状結晶98が形成されている。このため、キャパシタ下部電極92の占有面積を大きくせずに、キャパシタ下部電極92の表面積をより大きくすることができる。これにより、図83に示した本発明の実施の形態6によるDRAMの第5の変形例と同様の効果が得られる。

【0211】この図84に示した本発明の実施の形態6によるDRAMの第6の変形例の製造工程は、図83に示した本発明の実施の形態6によるDRAMの第5の変形例の製造工程によりサイドウォール96、97を形成した後、図38に示す本発明の実施の形態2によるDRAMの第4の変形例の製造工程を実施することにより、図84に示すような構造を得る。

【0212】(実施の形態7) 図85は、本発明の実施の形態7によるDRAMのメモリセルの平面模式図である。この実施の形態7によるDRAMのメモリセルは、基本的には図1に示した本発明の実施の形態1によるDRAMのメモリセルと同様の構造を備える。しかし、この実施の形態7によるDRAMにおいては、コンタクトホール49の幅よりもビット線174の幅の方が小さくなっている。そして、線分500-500における断面を、図86に示す。図86を参照して、本発明の実施の形態7によるDRAMは、基本的には図16に示した本発明の実施の形態1によるDRAMの第1の変形例と同様の構造を備える。ただし、この図86に示した本発明の実施の形態7によるDRAMは、ビット線174の幅がコンタクトホール49の幅よりも小さくなるように形成されている。このため、図16に示した本発明の実施の形態1によるDRAMの第1の変形例による効果に加えて、従来のように、ビット線174の幅をコンタクトホール49の幅よりも大きくする場合に比べて、半導体装置をより微細化することができる。また、ビット線174は第2の層間絶縁膜37と直接接触しており、ビット線174と第2の層間絶縁膜37との間にシリコン窒化膜などの配線保護絶縁膜は形成されていない。このため、従来のように、ビット線174上に配線保護絶縁膜を形成する場合よりも、メモリセル領域において形成される層の数を削減することができる。これにより、メモリセル領域における第4の層間絶縁膜205の上部表面の高さを低くすることが可能となり、第4の層間絶縁膜205の上部表面のメモリセル領域における高さとの段差をより低減することが可能となる。これにより、第4の層間絶縁膜205上にアルミニウムなどからなる配線層を写真製版加工により形



成する場合にも、第4の層間絶縁膜205の上部表面における上記段差に起因して、この配線層のパターンが不鮮明になることを防止できる。これにより、上記配線層の断線や短絡といった欠陥の発生を防止でき、高集積化しつつキャパシタの容量を確保するとともに高い信頼性を有する半導体装置を得ることができる。

【0213】この図86に示した本発明の実施の形態7によるDRAMの製造工程は、基本的には図16に示した本発明の実施の形態1によるDRAMの第1の変形例の製造工程と同様であるが、図7に示した製造工程において、コンタクトホール49の内部にチタンなどの高融点金属膜127およびタングステン膜126を形成する。そして、このタングステン膜126上にレジストパターンを形成した後、このレジストパターンをマスクとして、タングステン膜126と高融点金属膜127との一部をエッチングにより除去することによって、図86に示すようなビット線174を形成する。そして、このビット線174上には、シリコン窒化膜などの配線保護絶縁膜を形成しないので、第2の層間絶縁膜37を形成した後、その表面の平坦化がより容易になる。

【0214】図87は、本発明の実施の形態7によるDRAMの変形例を示した断面図である。図87を参照して、本発明の実施の形態7によるDRAMの変形例は、基本的には図86に示した本発明の実施の形態7によるDRAMと同様の構造を備える。ただし、この図87に示した本発明の実施の形態7によるDRAMの変形例では、コンタクトホール49の内部にリンドープトポリシリコンからなるプラグ128を形成する。このプラグ128上にチタンなどの高融点金属膜127とタングステン膜126とからなるビット線174を形成する。そして、このビット線174の幅はコンタクトホール49の幅よりも小さくなるように形成されている。このように形成することで、図86に示した本発明の実施の形態7によるDRAMと同様の効果が得られる。

【0215】図87に示した本発明の実施の形態7によるDRAMの変形例の製造工程は、基本的には図86に示した本発明の実施の形態7によるDRAMと同様である。ただし、この図87に示した実施の形態7によるDRAMの変形例のビット線174を形成する工程は、まずコンタクトホール49の内部にリンドープトポリシリコンからなるプラグ128を形成した後、ビット線174を形成している。

【0216】(実施の形態8)図88は、本発明の実施の形態8によるDRAMの断面図である。この実施の形態8によるDRAMのメモリセル領域の構造は、基本的には図2に示した本発明の実施の形態1によるDRAMのメモリセル領域の構造と同様である。また、実施の形態8によるDRAMの周辺回路領域の構造は、基本的には図2に示した本発明の実施の形態1によるDRAMの周辺回路領域の構造と同様である。しかし、この図88

に示した本発明の実施の形態8によるDRAMでは、周辺回路領域において、第4の層間絶縁膜205上に形成される配線とキャパシタ上部電極151とを接続するためのコンタクトホール135が形成されている。また、コンタクトホール135の下に位置する領域には、周辺回路領域における電界効果トランジスタなどの周辺回路素子を保護するためのダミー配線138が形成されている。このように、ダミー配線138を備えるので、コンタクトホール135を形成するエッチングにおいて、コンタクトホール135がキャパシタ上部電極151および誘電体膜150を突き抜けてその下に位置する第3の層間絶縁膜59などに到達した場合でも、ドープトポリシリコン膜52と高融点金属シリサイド膜53とからなるダミー配線138においてそのエッチングの進行を停止させることができる。その結果、このダミー配線138の下に位置する上記周辺回路素子が上記エッチングによって損傷を受けることを防止できる。これにより、半導体装置がこの周辺回路素子の損傷に起因して動作不良を起こすことを防止できる。この結果、信頼性の高い半導体装置を得ることができる。

【0217】この図88に示した本発明の実施の形態8によるDRAMの製造工程は、基本的には図3～14に示した本発明の実施の形態1によるDRAMの製造工程と同様である。ただし、ダミー配線138は、図2に示した周辺回路領域における配線202と同じ工程において形成される。

【0218】図89は、本発明の実施の形態8によるDRAMの第1の変形例を示した断面図である。図89を参照して、本発明の実施の形態8によるDRAMの第1の変形例は、基本的には図88に示した本発明の実施の形態8によるDRAMと同様の構造を備える。ただし、図89に示した本発明の実施の形態8によるDRAMの第1の変形例では、周辺回路領域において、コンタクトホール135の下に位置する領域には、周辺回路領域における配線および電界効果型トランジスタなどの周辺回路素子が形成されていない。これにより、コンタクトホール135を形成するためのエッチング工程において、コンタクトホール135がキャパシタ上部電極151などを突き抜けてその下に位置する第3の層間絶縁膜59に到達した場合にも、上記エッチングによって周辺回路素子が損傷を受けることがない。

【0219】図89に示した本発明の実施の形態8によるDRAMの第1の変形例の製造工程は、基本的には図88に示した本発明の実施の形態8によるDRAMの製造工程と同様である。ただし、コンタクトホール135と周辺回路素子とは、それぞれ平面的に重ならない領域に形成する。

【0220】図90は、本発明の実施の形態8によるDRAMの第2の変形例を示した断面図である。図90を参照して、本発明の実施の形態8によるDRAMの第2

の変形例のメモリセル領域は、基本的に図 8 8 に示した本発明の実施の形態 8 による DRAM と同様の構造を備える。そして、周辺回路領域においては、第 3 の層間絶縁膜 5 9 とシリコン窒化膜 5 8 との一部を除去することにより、開口部 3 0 3 が形成されている。開口部 3 0 3 の内部には、メモリセル領域におけるキャパシタ下部電極 1 7 0 a と同様の材質からなるダミーのキャパシタ下部電極 1 4 0 が形成されている。第 3 の層間絶縁膜 5 9 上とダミーのキャパシタ下部電極 1 4 0 上とは、誘電体膜 1 5 0 が形成されている。誘電体膜 1 5 0 上にはキャパシタ上部電極 1 5 1 が形成されている。そして、コンタクトホール 1 3 5 は、ダミーのキャパシタ下部電極 1 4 0 の底部においてキャパシタ上部電極 1 5 1 に到達している。このように、ダミーのキャパシタ下部電極 1 4 0 を形成し、その上部に位置する領域においてコンタクトホール 1 3 5 を形成するので、コンタクトホール 1 3 5 の深さを、図 8 8 に示した本発明の実施の形態 8 による DRAM におけるコンタクトホール 1 3 5 の深さよりも深くすることができる。これにより、周辺回路領域における配線層 2 0 2 (図 2 参照) にまで到達させる他のコンタクトホール (図示せず) と、本発明の実施の形態 8 による DRAM のコンタクトホール 1 3 5 (図 9 0 参照) との深さの差を短縮することができる。その結果、コンタクトホール 1 3 5 を形成するためのエッチングにおいて、コンタクトホール 1 3 5 の底部においてキャパシタ上部電極 1 5 1 が過剰にエッチングされることを防止できる。この結果、そのエッチングがキャパシタ上部電極 1 5 1 を突き抜けてその下の第 2 の層間絶縁膜 3 7 にまで到達することを防止できる。

【0221】この図 9 0 に示した本発明の実施の形態 8 による DRAM の第 2 の変形例の製造工程は、基本的には図 8 9 に示した本発明の実施の形態 8 による DRAM の第 1 の変形例と同様であるが、ダミーのキャパシタ下部電極 1 4 0 は、メモリセル領域におけるキャパシタ下部電極 1 7 0 a を形成する工程により、キャパシタ下部電極 1 7 0 a と同時に形成する。

【0222】図 9 1 は、本発明の実施の形態 8 による DRAM の第 3 の変形例を示した断面図である。図 9 1 を参照して、本発明の実施の形態 8 による DRAM の第 3 の変形例は、基本的には図 9 0 に示した本発明の実施の形態 8 による DRAM の第 2 の変形例と同様の構造を備える。ただし、図 9 1 に示した本発明の実施の形態 8 による DRAM の第 3 の変形例では、ダミーのキャパシタ下部電極 1 4 0 の水平方向の幅を小さくし、ダミーのキャパシタ下部電極 1 4 0 の内部におけるキャパシタ上部電極 1 5 1 の垂直方向の厚さを図 9 0 に示した第 2 の変形例よりも厚くしている。そして、この垂直方向の厚さが厚くなっているキャパシタ上部電極 1 5 1 の上部にコンタクトホール 1 3 5 が形成されている。このように、コンタクトホール 1 3 5 の下に位置するキャパシタ上部

電極 1 5 1 の垂直方向の厚さを厚くしているので、コンタクトホール 1 3 5 を形成するエッチングの際、コンタクトホール 1 3 5 がキャパシタ上部電極 1 5 1 を突き抜けて第 2 の層間絶縁膜 3 7 にまで到達することを防止できる。また、開口部 3 0 3 の幅およびキャパシタ上部電極 1 5 1 の膜厚を調整することで、コンタクトホール 1 3 5 の到達深さを任意に変更することができる。

【0223】図 9 1 に示した本発明の実施の形態 8 による DRAM の第 3 の変形例の製造工程は、基本的には図 9 0 に示した本発明の実施の形態 8 による DRAM の第 2 の変形例の製造工程と同様である。

【0224】ここで、一定のキャパシタ容量を確保しながら高集積化を可能とし、かつ高い信頼性を有する半導体装置を得るためには、メモリセル領域や周辺回路領域において用いられる配線についても、より低抵抗かつ低容量の配線が求められる。

【0225】図 1 1 8 は、ダマシン法を用いて形成された従来の配線を示す断面図である。図 1 1 8 を参照して、従来の配線は、半導体基板 1 0 0 1 の主表面上にシリコン窒化膜 1 0 0 2 が形成されている。シリコン窒化膜 1 0 0 2 上にはノンドープトシリコン酸化膜 1 1 4 3 が形成されている。ノンドープトシリコン酸化膜 1 1 4 3 とシリコン窒化膜 1 0 0 2 との一部を除去することにより、開口部 1 0 0 3 が形成されている。開口部 1 0 0 3 の内部にはポリシリコンからなる配線 1 0 0 5 が形成されている。

【0226】図 1 1 9 および 1 2 0 は、図 1 1 8 に示した従来の配線の製造工程を説明するための断面図である。図 1 1 9 および 1 2 0 を参照して、以下に従来の配線の製造工程を説明する。

【0227】まず、半導体基板 1 0 0 1 (図 1 1 9 参照) の主表面上にシリコン窒化膜 1 0 0 2 (図 1 1 9 参照) を形成する。このシリコン窒化膜 1 0 0 2 はシリコン酸化窒化膜またはシリコン窒化膜とシリコン酸化窒化膜との積層構造を有する膜でもよい。シリコン窒化膜 1 0 0 2 上にノンドープトシリコン酸化膜 1 1 4 3 (図 1 1 9 参照) を形成する。このノンドープトシリコン酸化膜 1 1 4 3 はリンあるいはボロンをドープしたシリコン酸化膜でもよい。このノンドープトシリコン酸化膜 1 1 4 3 上にレジストパターン (図示せず) を形成した後、このレジストパターンをマスクとして、ノンドープトシリコン酸化膜 1 1 4 3 とシリコン窒化膜 1 0 0 2 との一部を除去することにより、開口部 1 0 0 3 (図 1 1 9 参照) を形成する。このようにして、図 1 1 9 に示すような構造を得る。

【0228】次に、図 1 2 0 に示すように、ノンドープトシリコン酸化膜 1 1 4 3 上と開口部 1 0 0 3 の内部とにポリシリコン膜 1 0 0 4 を形成する。このポリシリコン膜 1 0 0 4 は、アモルファスシリコンを用いてもよい。また、リンまたはヒ素をドープしてもよいし不純物

をドーブしなくてもよい。また、タングステンあるいはタンなどの高融点金属膜を用いてもよいし上記高融点金属のシリサイドを用いてもよい。また銅あるいはアルミニウムといった金属膜を用いてもよいしこれらを積層した構造を用いてもよい。

【0229】その後、ノンドープトシリコン酸化膜1143上に位置するポリシリコン膜1004をエッチングもしくはCPM法を用いて除去することにより、図118に示すような構造を得る。

【0230】また、従来提案されている配線の構造のもう1つの例としては、図121に示すようなものが挙げられる。図121を参照して、従来のもう1つの提案された配線は、半導体基板1001の主表面上にシリコン窒化膜1002を形成する。シリコン窒化膜1002上にはノンドープトシリコン酸化膜1143が形成されている。ノンドープトシリコン酸化膜1143とシリコン窒化膜1002との一部を除去することにより、開口部1003が形成されている。開口部1003の内部には、ポリシリコンからなる配線1015が形成されている。配線1015の表面には粒状結晶1016が形成されている。このように、配線1015の表面に粒状結晶1016が形成されているので、配線1015の抵抗を下げることができる。

【0231】図122～124は、図121に示した従来の提案されているもう1つの配線の製造工程を説明するための断面図である。以下、図122～124を参照して、従来の提案されているもう1つの配線の製造工程を説明する。

【0232】半導体基板1001（図122参照）の主表面上にシリコン窒化膜1002（図122参照）を形成する。シリコン窒化膜1002上にノンドープトシリコン酸化膜1143（図122参照）を形成する。ノンドープトシリコン酸化膜1143上にレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、ノンドープトシリコン酸化膜1143とシリコン窒化膜1002との一部をエッチングにより除去することにより、開口部1003（図122参照）を形成する。その後、レジストパターンを除去する。このようにして、図122に示すような構造を得る。

【0233】次に、図123に示すように、開口部1003の内部とノンドープトシリコン酸化膜1143上とにポリシリコンからなる導電体膜1014を形成する。

【0234】次に、ノンドープトシリコン酸化膜1143上に位置する導電体膜1014の一部をエッチングにより除去することにより、図124に示すような構造を得る。この後、配線1015の表面に、本発明の実施の形態1の変形例で用いた工程と同様の工程により粒状結晶1016（図121参照）を形成する。このようにして、図121に示すような構造を得る。

【0235】このように、従来も低抵抗な配線が提案さ

れてはいるが、半導体装置の微細化が進み、従来の提案されている配線においても配線抵抗の上昇によるアクセスの遅延などデバイス特性の劣化が問題となってきている。このため、配線のさらなる低抵抗化および低容量化が求められている。そして、このような要求を満たす配線を得る目的で、本発明においてキャパシタ下部電極の形状に適用された構造を応用することができる。以下に、このような考えに基づいた本発明の実施の形態8によるDRAMにおける配線の変形例を説明する。

10 【0236】図92は、本発明の実施の形態8によるDRAMの配線の第1の変形例を示した断面図である。図92を参照して、本発明の実施の形態8によるDRAMの配線の第1の変形例は、半導体基板1の主表面上にシリコン窒化膜2を形成している。シリコン窒化膜2上にノンドープトシリコン酸化膜143が形成されている。ノンドープトシリコン酸化膜143とシリコン窒化膜2とに部分的に埋込まれた状態になるように、ポリシリコンからなる配線5が形成されている。配線5の内側表面と外側側面とには粒状結晶9が形成されている。このように、配線5をノンドープトシリコン酸化膜143の上部表面より上に延びるように形成するので、配線5の占有面積を小さくしても、配線5の断面積を大きくすることができる。これにより、配線5の抵抗を低減することができる。また、配線5の表面に粒状結晶9を形成している

20 【0237】図93～96は、図92に示した本発明の実施の形態8によるDRAMの配線の第1の変形例の製造工程を説明するための断面図である。以下、図93～96を参照して、本発明の実施の形態8によるDRAMの配線の第1の変形例の製造工程を説明する。

30 【0238】まず、半導体基板1（図93参照）の主表面上にシリコン窒化膜2（図93参照）を形成する。シリコン窒化膜2上にノンドープトシリコン酸化膜143（図93参照）を形成する。ノンドープトシリコン酸化膜143上にボロンドープトシリコン酸化膜6（図93参照）を形成する。ボロンドープトシリコン酸化膜6上にレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、ボロンドープトシリコン酸化膜6とノンドープトシリコン酸化膜143とシリコン窒化膜2との一部を異方性エッチングにより除去する。これにより、開口部3（図93参照）を形成する。その後、レジストパターンを除去することにより、図93に示すような構造を得る。

40 【0239】次に、図94に示すように、ボロンドープトシリコン酸化膜6上と開口部3の内部とにポリシリコン膜4を形成する。

50 【0240】次に、ボロンドープトシリコン酸化膜6上に位置するポリシリコン膜4をエッチングもしくはCMP法により除去することにより、図95に示すような構造を得る。

【0241】次に、ボロンドープトシリコン酸化膜6をエッチングにより除去することにより、図96に示すような構造を得る。

【0242】その後、本発明の実施の形態1の変形例において用いた工程を応用して、配線5の表面に粒状結晶9（図92参照）を形成することにより、図92に示すような構造を得る。

【0243】図97～100は、図92に示した本発明の実施の形態8によるDRAMの配線の第1の変形例のプロセスの変形例を説明するための断面図である。以下、図97～100を参照して、本発明の実施の形態8によるDRAMの配線の第1の変形例の製造工程の変形例を説明する。

【0244】半導体基板1（図97参照）上にシリコン窒化膜2（図97参照）を形成する。シリコン窒化膜2上にノンドープトシリコン酸化膜143（図97参照）を形成する。ノンドープトシリコン酸化膜143上にレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、ノンドープトシリコン酸化膜143とシリコン窒化膜2との一部を異方性エッチングにより除去する。これにより、開口部3（図97参照）を形成する。このようにして、図97に示すような構造を得る。

【0245】次に、ノンドープトシリコン酸化膜143上と開口部3の内部とにポリシリコン膜4（図98参照）を形成する。このようにして、図98に示すような構造を得る。

【0246】次に、ノンドープトシリコン酸化膜143上に位置するポリシリコン膜4をエッチングもしくはCMP法により除去することにより、図99に示すような構造を得る。ここで開口部3の内部には配線5が形成されている。

【0247】次に、図100に示すように、HF水溶液によるウェットエッチングによって、ノンドープトシリコン酸化膜143の上部の一部を除去する。このとき、HF水溶液への浸漬時間を変えることにより、ノンドープトシリコン酸化膜143が除去される量を制御することができる。

【0248】その後、配線5の表面に粒状結晶9を形成することにより、図92に示すような構造を得る。

【0249】図101は、本発明の実施の形態8によるDRAMの配線の第2の変形例を示した断面図である。図101を参照して、本発明の実施の形態8によるDRAMの配線の第2の変形例は、半導体基板1の主表面上にシリコン窒化膜2が形成されている。シリコン窒化膜2上にはノンドープトシリコン酸化膜143が形成されている。ノンドープトシリコン酸化膜143とシリコン窒化膜2とに部分的に埋込まれた状態になるように、ポリシリコンからなる配線15が形成されている。ポリシリコンからなる配線15の側面には、サイドウォール2

3が形成されている。このように、配線15がポリシリコンからなるサイドウォール23を備えるので、配線の断面積を大きくすることができる。このため、配線をより低抵抗にすることができる。

【0250】図102～104は、図101に示した本発明の実施の形態8によるDRAMの配線の第2の変形例の製造工程を説明するための断面図である。以下、図102～104を参照して、本発明の実施の形態8によるDRAMの配線の第2の変形例の製造工程を説明する。

【0251】まず、図93に示した本発明の実施の形態8によるDRAMの配線の第1の変形例の製造工程を実施した後、ボロンドープトシリコン酸化膜6（図102参照）上と開口部3（図93参照）の内部とにポリシリコン膜（図示せず）を形成する。その後、ボロンドープトシリコン酸化膜6上に位置するポリシリコン膜を除去することにより、図102に示すような配線15を形成する。

【0252】次に、ボロンドープトシリコン酸化膜6をエッチングにより除去することにより、図103に示すような構造を得る。これにより、配線15の側面の一部25を露出させることができる。

【0253】次に、図104に示すように、全体を覆うようにポリシリコン膜24を形成する。

【0254】その後、ポリシリコン膜24の一部を異方性エッチングにより除去することにより、図101に示すような構造を得る。

【0255】図105は、本発明の実施の形態8によるDRAMの配線の第3の変形例を示した断面図である。図105を参照して、本発明の実施の形態8によるDRAMの配線の第3の変形例は、基本的には図101に示した本発明の実施の形態8によるDRAMの第2の変形例と同様の構造を備える。ただし、この図105に示した第3の変形例では、配線304がアモルファスシリコンにより構成されている。また、サイドウォール23もアモルファスシリコンにより構成されており、配線304とサイドウォール23との表面には粒状結晶26が形成されている。このように、配線304とサイドウォール23との表面に粒状結晶を備えるので、より配線の低抵抗化を図ることができる。

【0256】また、この本発明の実施の形態8によるDRAMの配線の第3の変形例の製造工程としては、図102～104に示した製造工程を実施した後、本発明の実施の形態1の変形例において実施した粒状結晶の形成工程を実施することにより、図105に示すような構造を得ることができる。

【0257】図106は、本発明の実施の形態8によるDRAMの配線の第4の変形例を示した断面図である。図106を参照して、本発明の実施の形態8によるDRAMの配線の第4の変形例は、基本的には図105に示

10

20

30

40

50

した第3の変形例と同様の構造を備える。ただし、図106に示した第4の変形例では、配線15がポリシリコンにより構成されており、アモルファスシリコンからなるサイドウォール23の表面に粒状結晶26が形成されている。また、配線15の上部表面には、粒状結晶26より小さい粒状結晶35が形成されている。このように構成することで、本発明の実施の形態8によるDRAMの配線の第3の変形例と同様の効果が得られる。

【0258】図107は、本発明の実施の形態8によるDRAMの配線の第5の変形例を示した断面図である。図107を参照して、本発明の実施の形態8によるDRAMの配線の第5の変形例は、半導体基板1の主表面上にシリコン窒化膜2が形成されている。シリコン窒化膜2上にはノンドープトシリコン酸化膜143が形成されている。ノンドープトシリコン酸化膜143とシリコン窒化膜2とに埋込まれた状態になるように、ポリシリコンからなる配線30が形成されている。配線30とノンドープトシリコン酸化膜143およびシリコン窒化膜2との間には、空隙33が形成されている。そして、全体を覆うように、シリコン酸化膜32が形成されている。このように、配線30の側面に空隙33を備えるので、配線30における寄生容量を低減することができる。これにより、寄生容量があることによる半導体素子のアクセス時間の遅延を防止でき、デバイスの電気的特性の劣化を防止することができる。

【0259】図108～112は、図107に示した本発明の実施の形態8によるDRAMの配線の第5の変形例の製造工程を説明するための断面図である。以下、図108～112を参照して、本発明の実施の形態8によるDRAMの配線の第5の変形例の製造工程を説明する。

【0260】まず、半導体基板1（図108参照）の主表面上にシリコン窒化膜2（図108参照）を形成する。シリコン窒化膜2上にノンドープトシリコン酸化膜143（図108参照）を形成する。ノンドープトシリコン酸化膜143上にレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、ノンドープトシリコン酸化膜143とシリコン窒化膜2との一部をエッチングにより除去することにより、開口部3（図108参照）を形成する。このようにして、図108に示すような構造を得る。

【0261】次に、ノンドープトシリコン酸化膜143上と開口部3の内部とにシリコン窒化膜などの絶縁膜27（図109参照）を形成する。このようにして、図109に示すような構造を得る。

【0262】次に、異方性エッチングを用いて、絶縁膜27の一部を除去することにより、開口部3の内部にサイドウォール28（図110参照）を形成する。そして、図110に示すように、ノンドープトシリコン酸化膜143上と開口部3の内部とにポリシリコン膜29を

形成する。

【0263】次に、ノンドープトシリコン酸化膜143上に位置するポリシリコン膜29の一部を異方性エッチングあるいはCMP法を用いて除去することにより、図111に示すような構造を得る。

【0264】次に、図112に示すように、サイドウォール28（図111参照）をエッチングにより選択的に除去する。これにより、配線30の側面に空隙33を形成する。

10 【0265】その後、全体を覆うようにカバレッジの悪いシリコン酸化膜32（図107参照）を形成することにより、図107に示すような構造を得る。

【0266】図113は、本発明の実施の形態8によるDRAMの配線の第6の変形例を示した断面図である。図113を参照して、本発明の実施の形態8によるDRAMの配線の第6の変形例は、基本的には図107に示した本発明の実施の形態8によるDRAMの配線の第5の変形例と同様の構造を備える。但し、この図113に示した第6の変形例では、空隙33の下にサイドウォール28の一部が残存した状態となっている。このように構成しても、図107に示した本発明の実施の形態8によるDRAMの配線の第5の変形例と同様の効果が得られる。

20 【0267】また、この図113に示した本発明の実施の形態8によるDRAMの配線の第6の変形例の製造工程は、基本的には図108～112に示した本発明の実施の形態8によるDRAMの配線の第5の変形例の製造工程と同様である。但し、図112に示した工程において、配線30の側面にあるサイドウォール28をすべて除去するのではなく、一部を残存させるようにしている。

【0268】なお、この配線の第1～第6の変形例は、本発明の実施の形態1～7にも応用することができる。

【0269】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

30 【0270】

40 【発明の効果】このように、請求項1～30に記載の発明によれば、メモリセル領域と周辺回路領域とを備え、絶縁膜と、キャパシタ下部電極部分を含むキャパシタ下部電極と、誘電体膜と、キャパシタ上部電極とを含むように半導体装置を構成する。そして、上記絶縁膜の上部表面は上記キャパシタ下部電極部分の頂面とほぼ同一もしくは上記キャパシタ下部電極部分の頂面と底面との間に位置する。これにより、一定のキャパシタ容量を確保すると同時に高集積化を図ることができ、かつ、信頼性の高い半導体装置およびその製造方法を提供することが

【図面の簡単な説明】

【図 18】 図 17 に示した本発明の実施の形態 1 によ

するための断面図である。





図である。

【図 75】 図 72 に示した本発明の実施の形態 6 による DRAM の製造工程の第 3 工程を説明するための断面図である。

【図 7 6】 図 7 2 に示した本発明の実施の形態 6 による DRAM の製造工程の第 4 工程を説明するための断面図である。

【図 77】 図 72 に示した本発明の実施の形態 6 による DRAM の製造工程の第 5 工程を説明するための断面図である。

【図 78】 本発明の実施の形態 6 による DRAM の第 1 の変形例を示した断面図である。

【図79】 本発明の実施の形態6によるDRAMの第2の変形例を示した断面図である。

【図80】 図79に示した本発明の実施の形態6によるDRAMの第2の変形例の製造工程の第1工程を説明するための断面図である。

【図81】 本発明の実施の形態6によるDRAMの第3の変形例を示した断面図である。

【図82】 本発明の実施の形態6によるDRAMの第4の変形例を示した断面図である。

【図83】 本発明の実施の形態6によるDRAMの第5の変形例を示した断面図である。

【図84】 本発明の実施の形態6によるDRAMの第6の変形例を示した断面図である。

【図85】 本発明の実施の形態7によるDRAMのメモリセルの平面模式図である。

【図86】 本発明の実施の形態7によるDRAMの断面図である。

【図87】 本発明の実施の形態7によるDRAMの変形例を示した断面図である。

【図88】 本発明の実施の形態8によるDRAMを示した断面図である。

【図 89】 本発明の実施の形態 8 による DRAM の第 1 の変形例を示した断面図である。

【図 90】 本発明の実施の形態 8 による DRAM の第 2 の変形例を示した断面図である。

【図 9 1】 本発明の実施の形態 8 による DRAM の第 3 の変形例を示した断面図である。

【図 9 2】 本発明の実施の形態 8 による D R A M の配線の第 1 の変形例を示した断面図である。

【図93】 図92に示した本発明の実施の形態8によるDRAMの配線の第1の変形例の製造工程の第1工程を説明するための断面図である。

【図94】 図92に示した本発明の実施の形態8によるDRAMの配線の第1の変形例の製造工程の第2工程を説明するための断面図である。

【図９５】 図９２に示した本発明の実施の形態８によるDRAMの配線の第１の変形例の製造工程の第３工程を説明するための断面図である。

【図 9 6】 図 9 2 に示した本発明の実施の形態 8 による DRAM の配線の第 1 の変形例の製造工程の第 4 工程を説明するための断面図である。

【図 97】 図 92 に示した本発明の実施の形態 8 による DRAM の配線の第 1 の変形例の製造工程の変形例の第 1 工程を説明するための断面図である。

【図 9 8】 図 9 2 に示した本発明の実施の形態 8 による DRAM の配線の第 1 の変形例の製造工程の変形例の第 2 工程を説明するための断面図である。

10 【図99】 図92に示した本発明の実施の形態8によるDRAMの配線の第1の変形例の製造工程の変形例の第3工程を説明するための断面図である。

【図１００】 図９２に示した本発明の実施の形態８によるＤＲＡＭの配線の第１の変形例の製造工程の変形例の第４工程を説明するための断面図である。

【図１０１】 本発明の実施の形態８によるＤＲＡＭの配線の第２の変形例を示した断面図である。

【図１０２】 図１０１に示した本発明の実施の形態８によるＤＲＡＭの配線の第２の変形例の製造工程の第１工程を説明するための断面図である。

【図103】 図101に示した本発明の実施の形態8によるDRAMの配線の第2の変形例の製造工程の第2工程を説明するための断面図である。

【図104】 図101に示した本発明の実施の形態8によるDRAMの配線の第2の変形例の製造工程の第3工程を説明するための断面図である。

【図105】 本発明の実施の形態8によるDRAMの配線の第3の変形例を示した断面図である。

【図106】本発明の実施の形態8によるDRAMの配線の第4の変形例を示した断面図である。

【図107】 本発明の実施の形態8によるDRAMの配線の第5の変形例を示した断面図である。

【図１０８】 図１０７に示した本発明の実施の形態８によるＤＲＡＭの配線の第５の変形例の製造工程の第１工程を説明するための断面図である。

【図109】 図107に示した本発明の実施の形態8によるDRAMの配線の第5の変形例の製造工程の第2工程を説明するための断面図である。

【図１１０】 図１０７に示した本発明の実施の形態８によるＤＲＡＭの配線の第５の変形例の製造工程の第３工程を説明する断面図である。

【図１１１】 図１０７に示した本発明の実施の形態８によるＤＲＡＭの配線の第５の変形例の製造工程の第４工程を説明する断面図である。

【図１１２】 図１０７に示した本発明の実施の形態８によるＤＲＡＭの配線の第５の変形例の製造工程の第５工程を説明する断面図である。

【図１１３】 本発明の実施の形態８によるＤＲＡＭの配線の第６の変形例を示す断面図である。

50 【図 1 1 4】 従来の DRAM のメモリセルの平面模式

図である。

【図115】 従来のDRAMの断面図である。

【図116】 従来のもう1つの例によるDRAMの断面図である。

【図117】 従来のDRAMの周辺回路領域において、コンタクトホールがキャパシタ上部電極を突き抜けた状態を示す断面図である。

【図118】 従来の配線の断面図である。

【図119】 図118に示した従来の配線の製造工程の第1工程を説明するための断面図である。

【図120】 図118に示した従来の配線の製造工程の第2工程を説明するための断面図である。

【図121】 従来のその他の例による配線を示した断面図である。

【図122】 図121に示した従来のその他の例による配線の製造工程の第1工程を説明するための断面図である。

【図123】 図121に示した従来のその他の例による配線の製造工程の第2工程を説明するための断面図である。

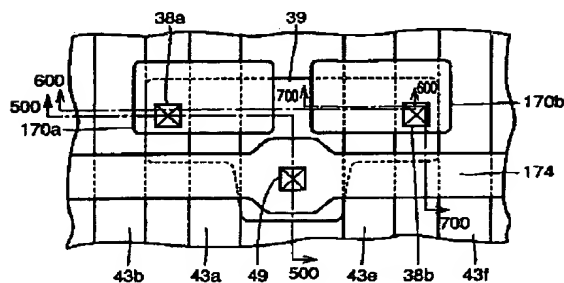
【図124】 図121に示した従来のその他の例による配線の製造工程の第3工程を説明するための断面図である。

【符号の説明】

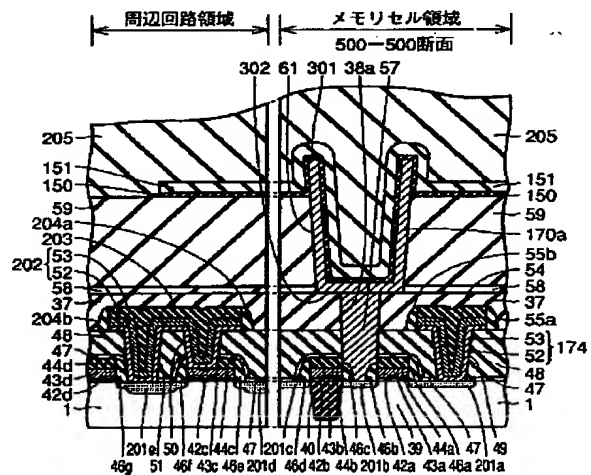
1 半導体基板、2、44a～44e、54、58、2

03 シリコン窒化膜、40 トレンチ分離酸化膜、39 活性領域、42a～42e ゲート絶縁膜、43a～43e ゲート電極、46a～46i、45、55a、55b、204a、204b、96、97、100、23、28 サイドウォール、47、85、143 ノンドープトシリコン酸化膜、48、37、205、59、77層間絶縁膜、38a、38b、49、50、51、144 コンタクトホール、52、56、62、91、101、104、111、141、4、29、5、15、30、24 ポリシリコン膜、53 高融点金属シリサイド膜、201a～201e ソース/ドレイン領域、174、202、138 配線、57a、57b、128 プラグ、61、110、3、303 開口部、170a、170b、92、112、120 キャパシタ下部電極、150 誘電体膜、151 キャパシタ上部電極、60、86、6 ドープトシリコン酸化膜、70 レジスト、74、98、9、26、35 粒状結晶、95、304 アモルファスシリコン、99 絶縁膜、126 タングステン層、127 高融点金属層、135 キャパシタ上部電極用コンタクトホール、139 トレンチ分離酸化膜、140 ダミーのキャパシタ下部電極、142 回り込み空間、25 側面の一部、27、32 シリコン酸化膜、33 空隙、301 頂面、302 底面。

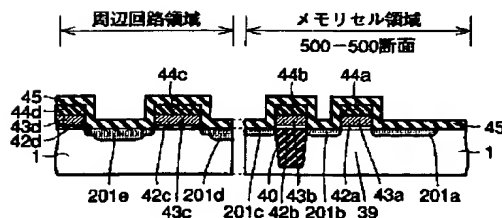
【図1】



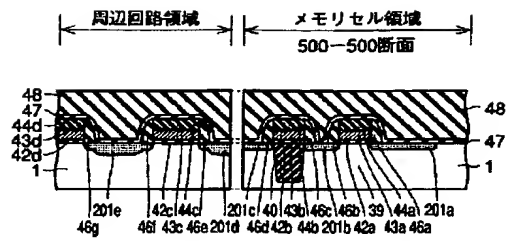
【図2】



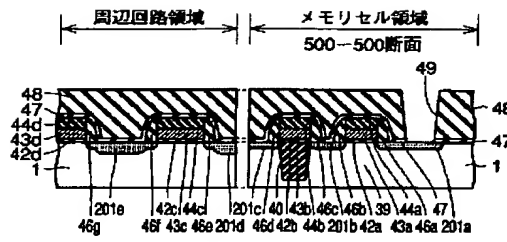
【図3】



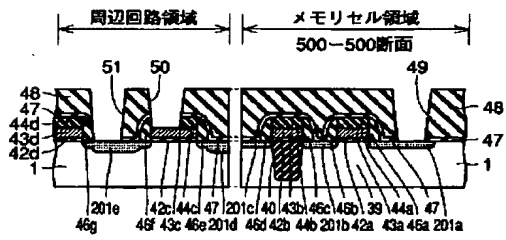
【図 4】



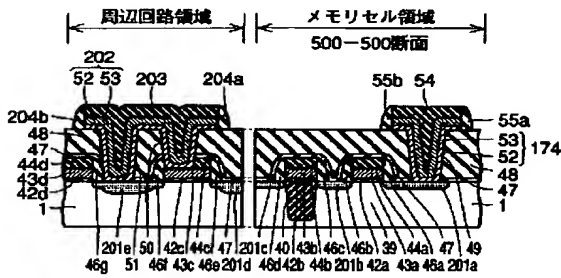
【図 5】



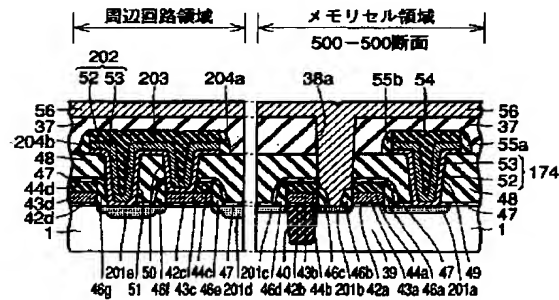
【図 6】



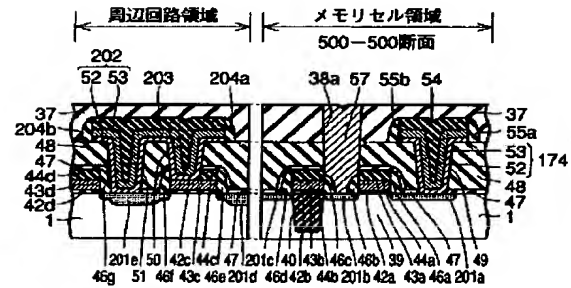
【図 7】



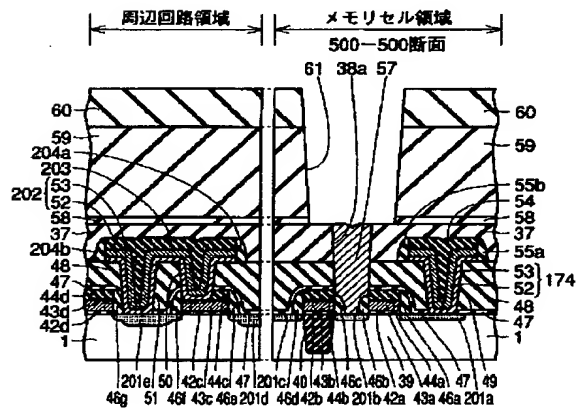
【図 8】



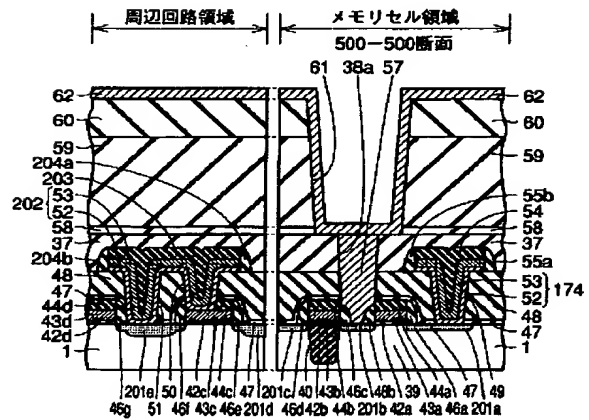
【図 9】



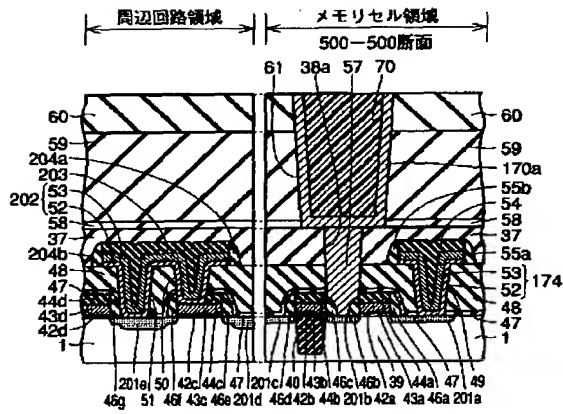
【図 10】



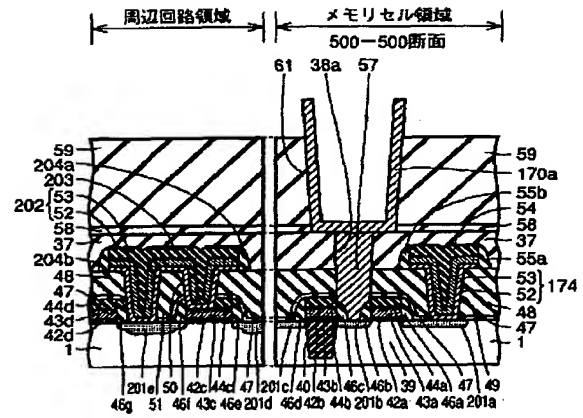
【図 11】



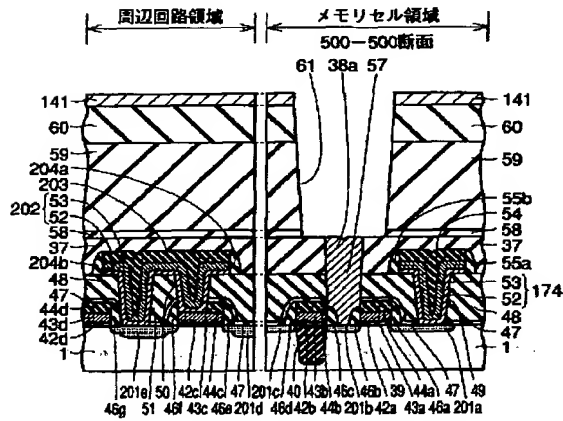
【図12】



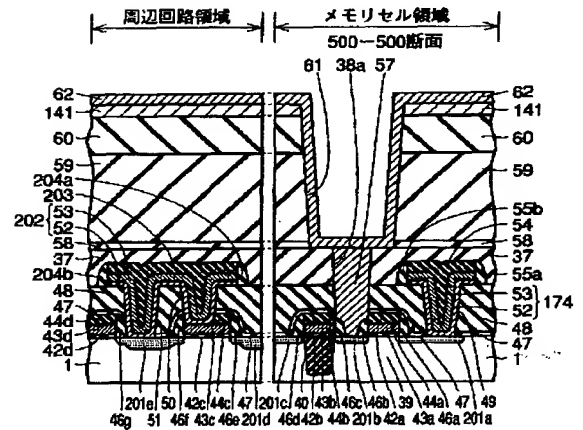
【図13】



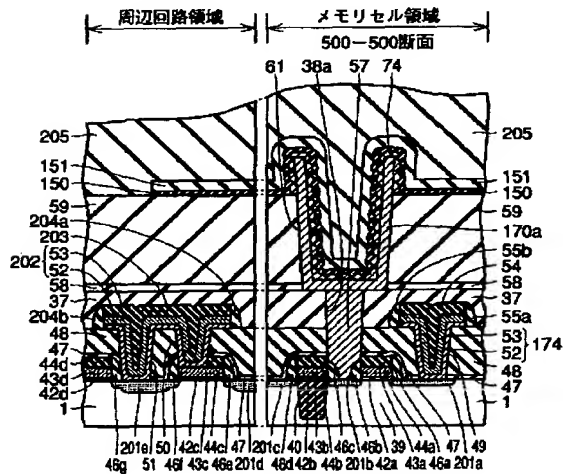
【図14】



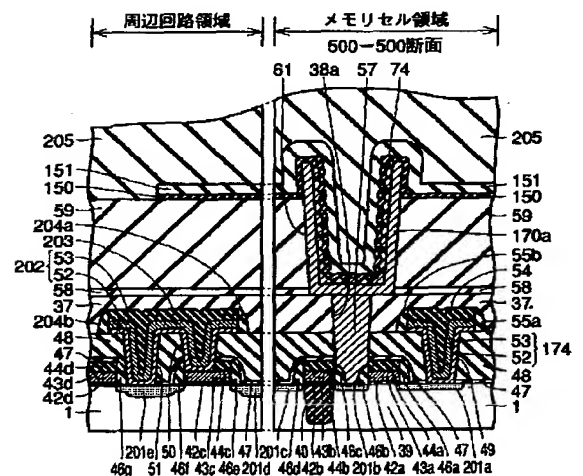
【図15】



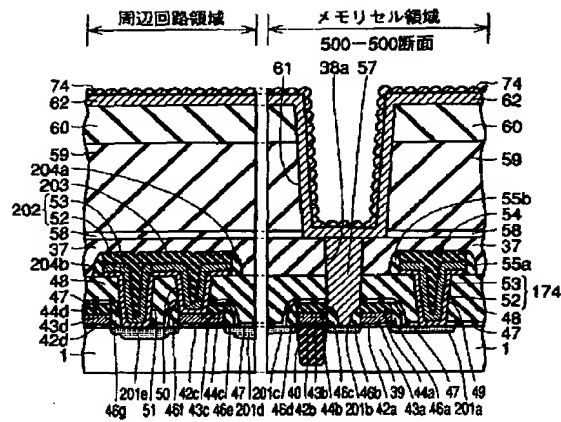
【図16】



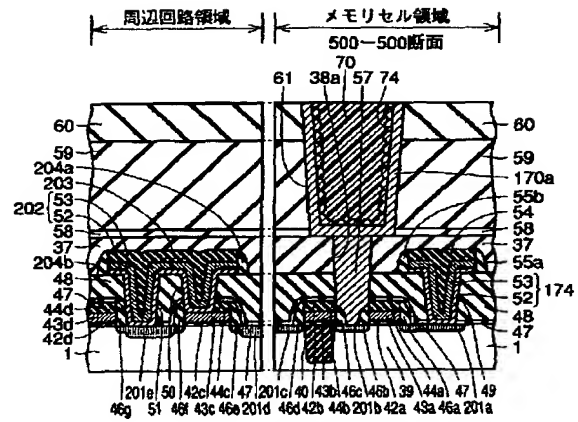
【図17】



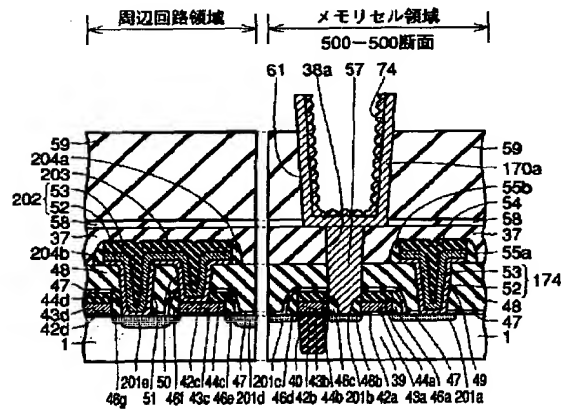
【図18】



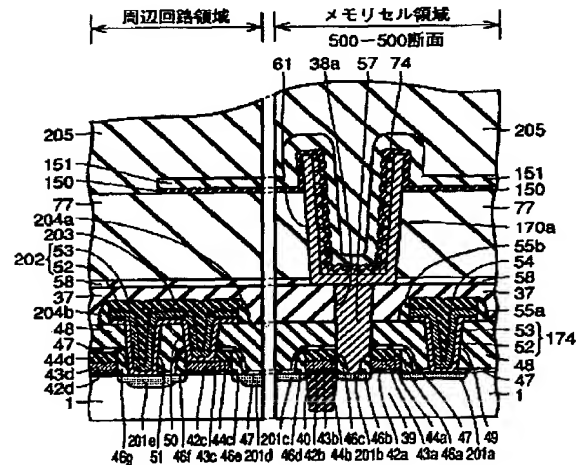
【図19】



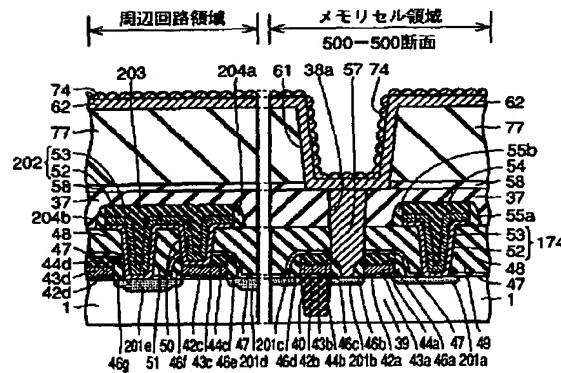
【図20】



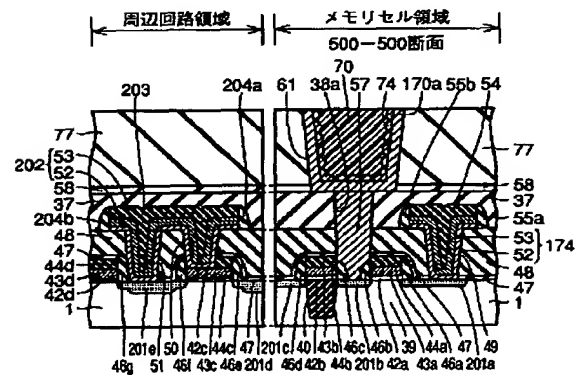
【図21】



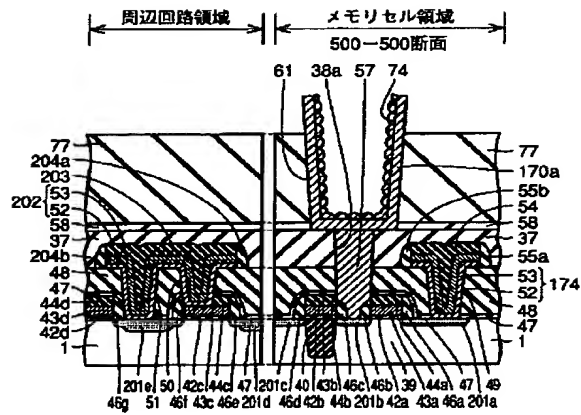
【図22】



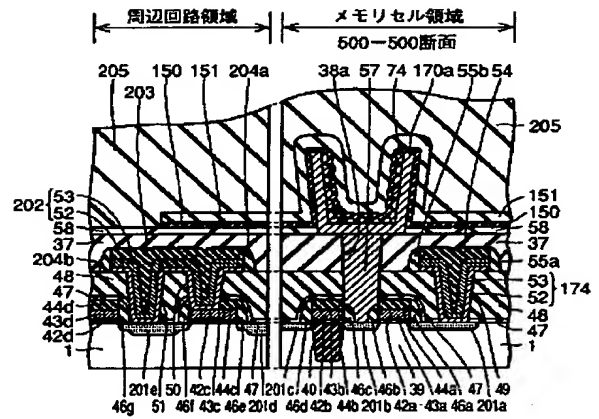
【図23】



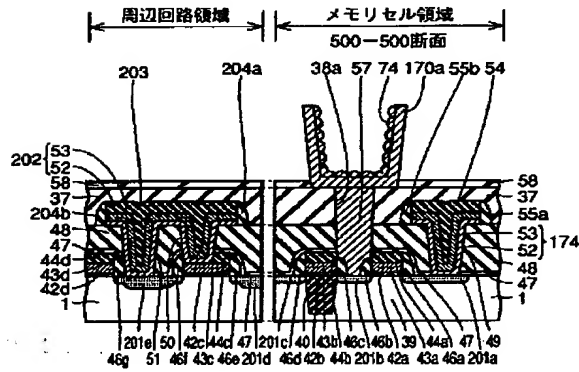
【図 24】



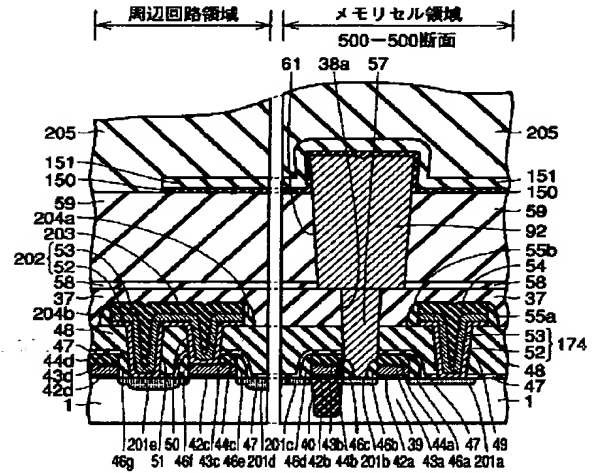
【図 25】



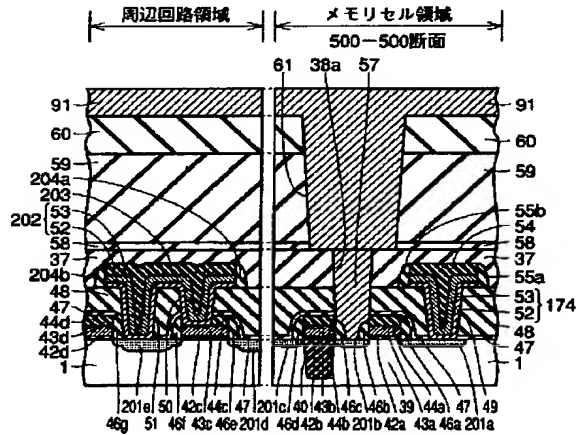
【図 26】



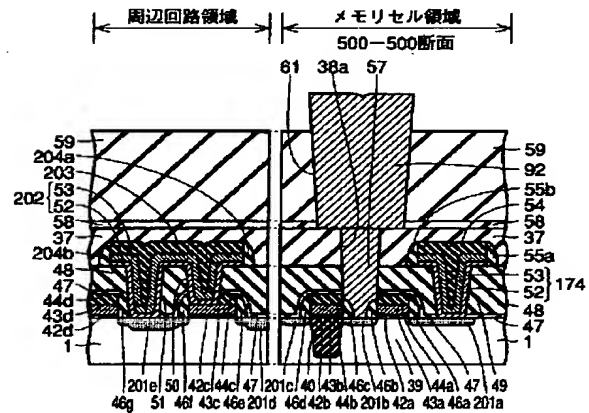
【図 27】



【図 28】

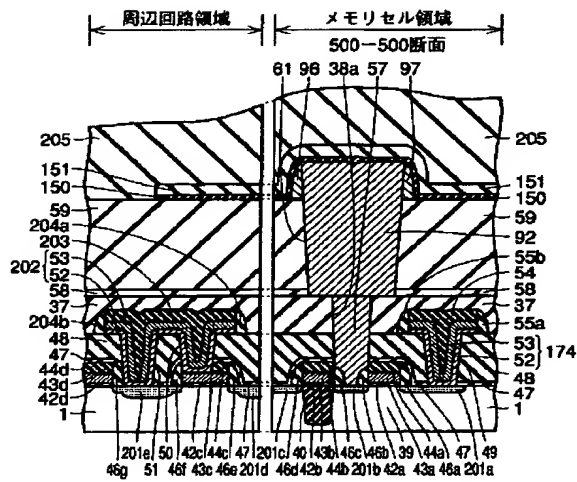


【図 29】

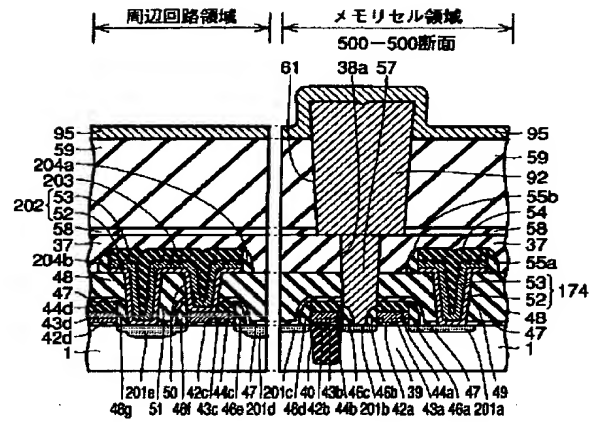




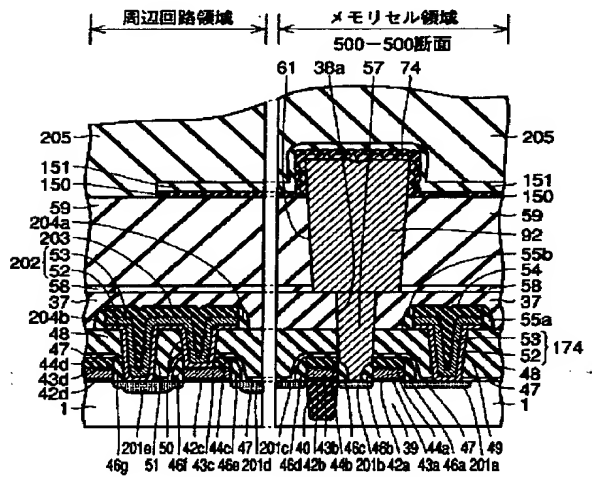
【図 30】



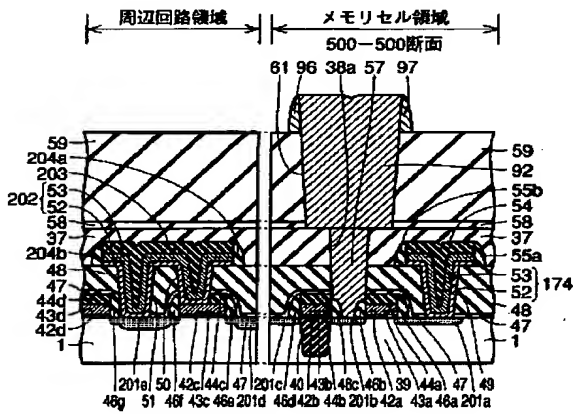
【図 31】



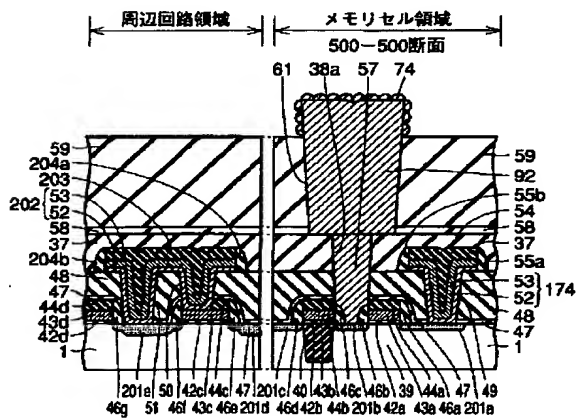
【図 33】



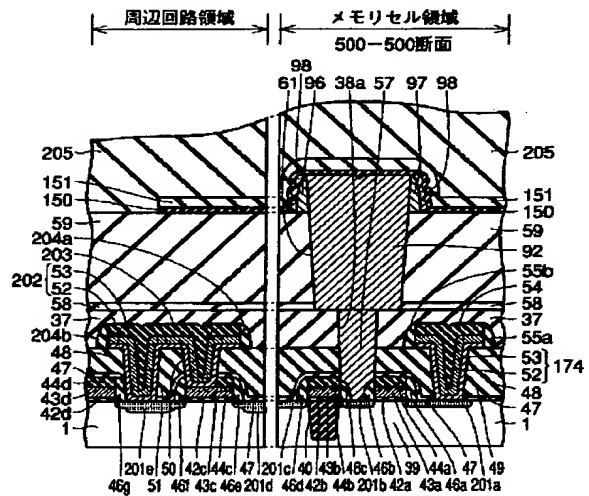
【図 32】



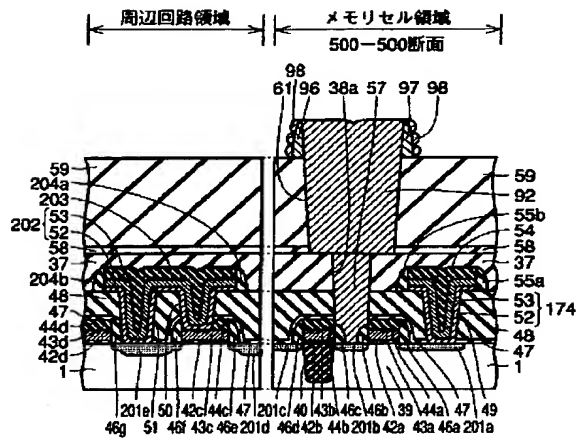
【図 34】



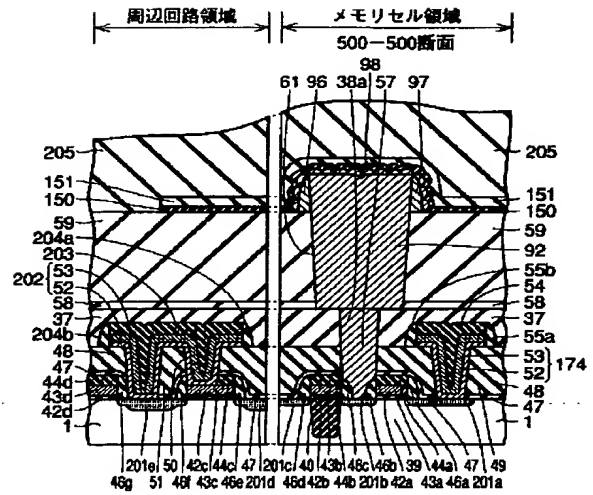
【図 35】



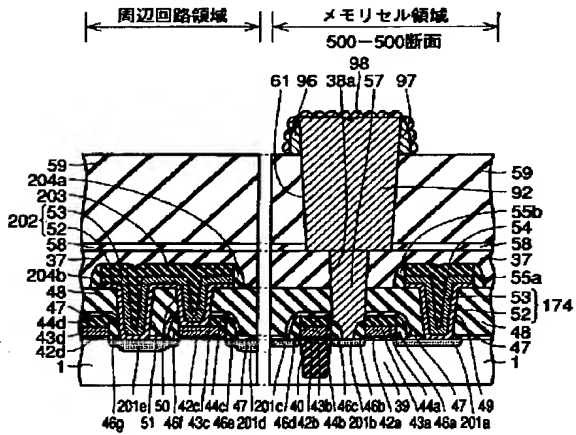
【図 36】



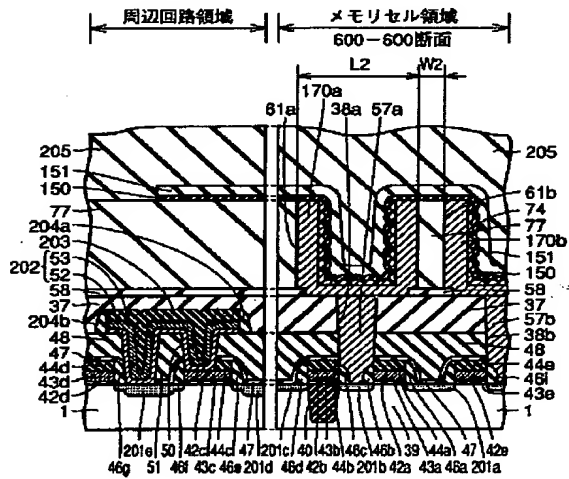
【図 37】



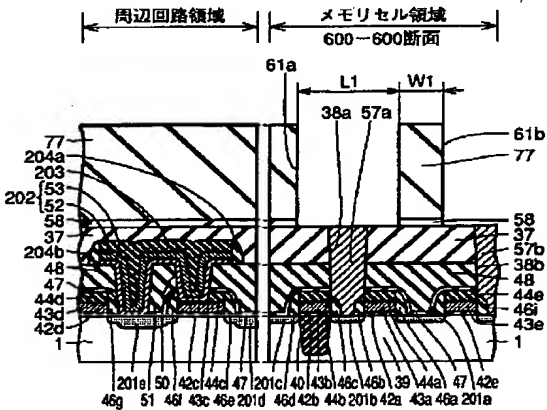
【図 38】



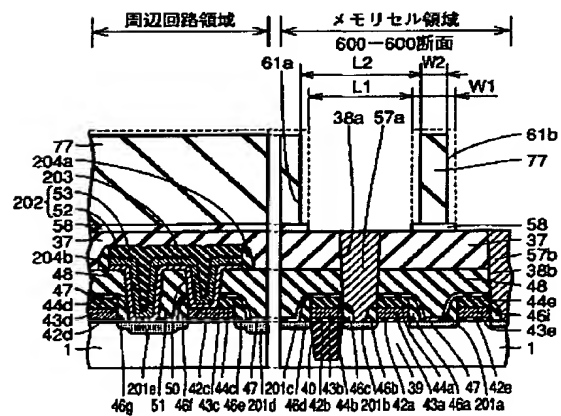
【図 39】



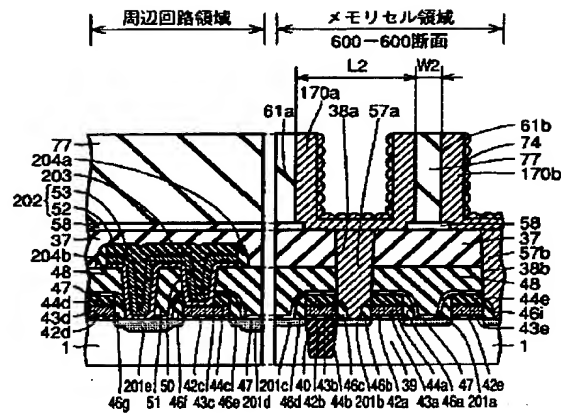
【図 40】



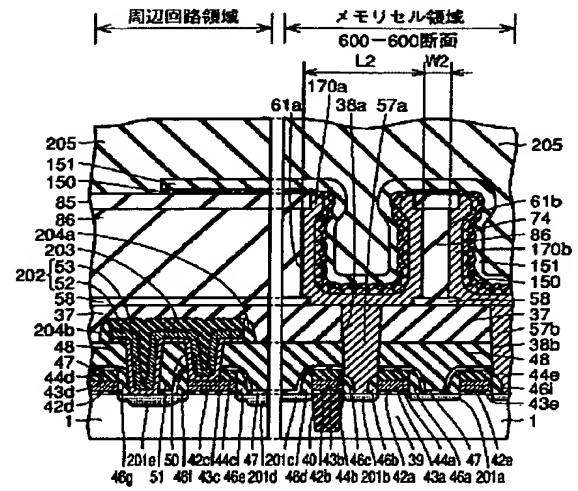
【図 41】



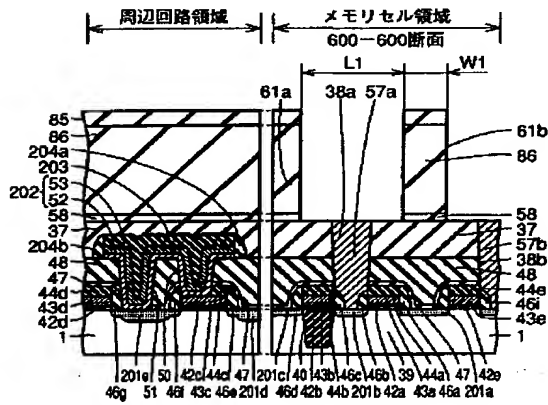
【図42】



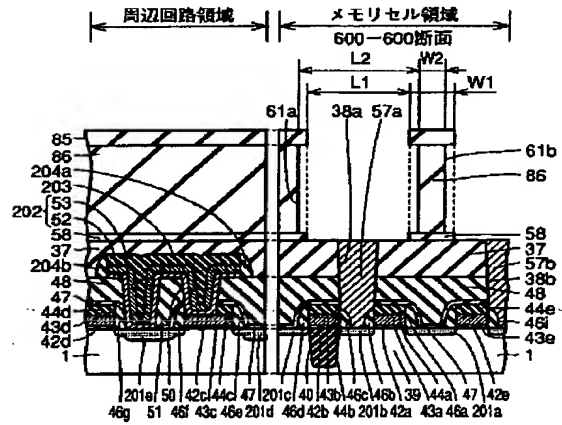
【図43】



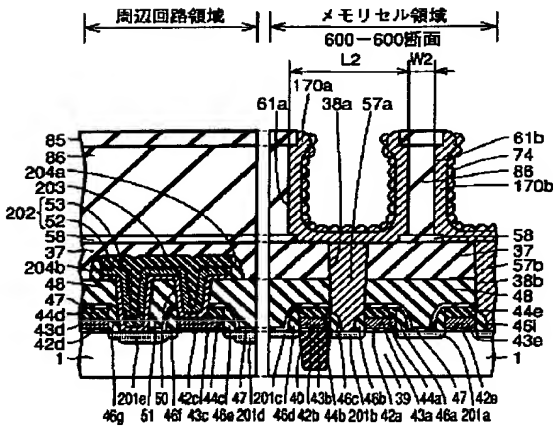
【図44】



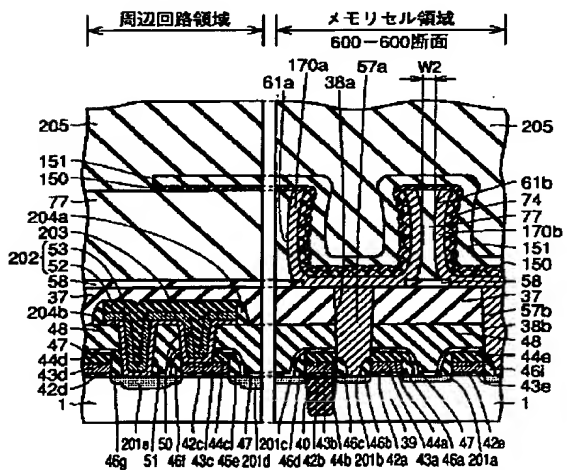
【図45】



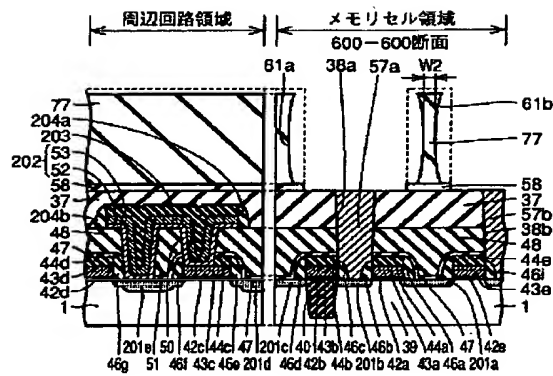
【図46】



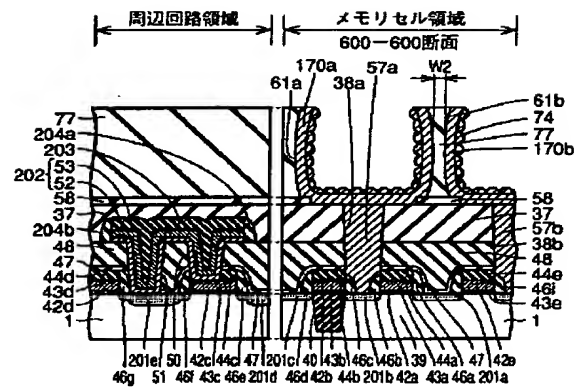
【図47】



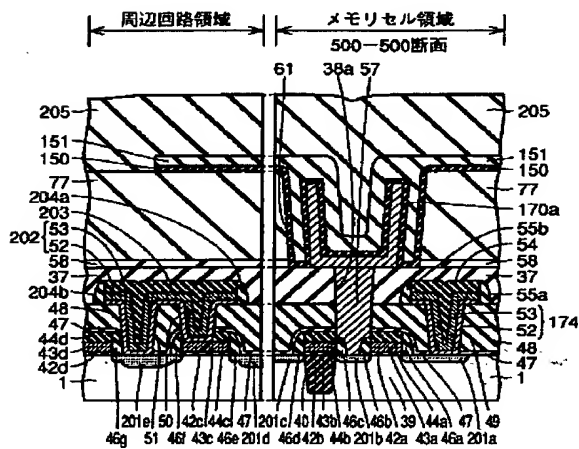
【図 48】



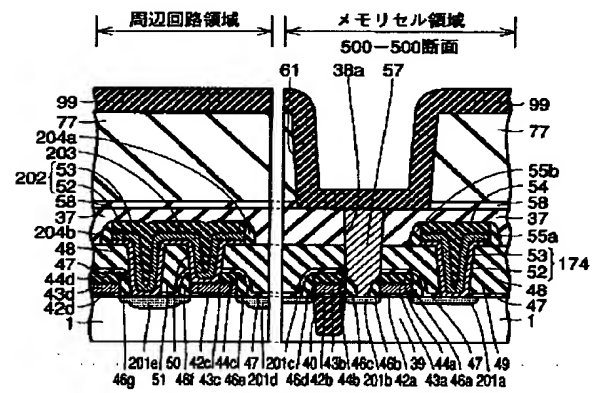
【図 49】



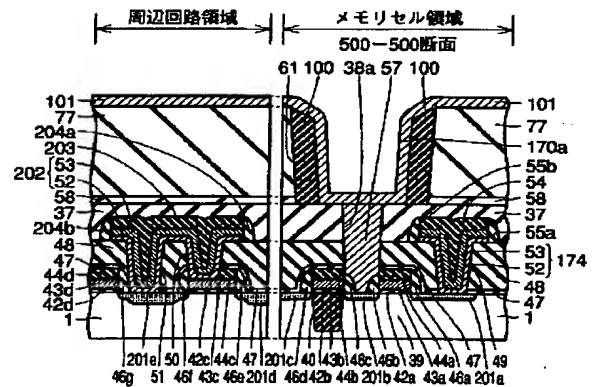
【図 50】



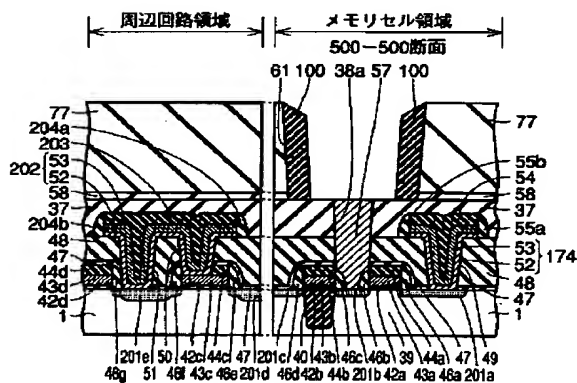
【図 51】



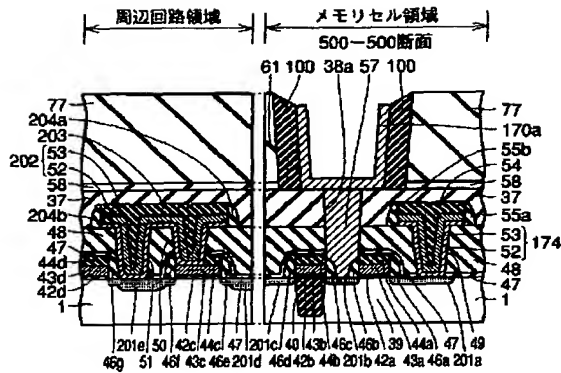
【図 53】



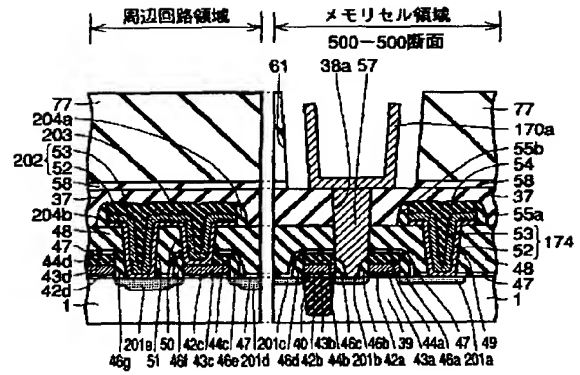
【図 52】



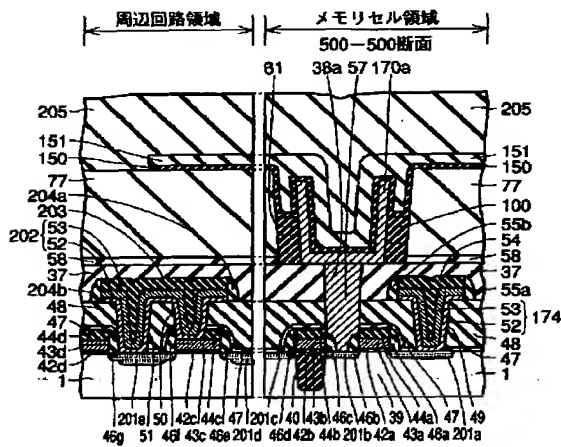
【図54】



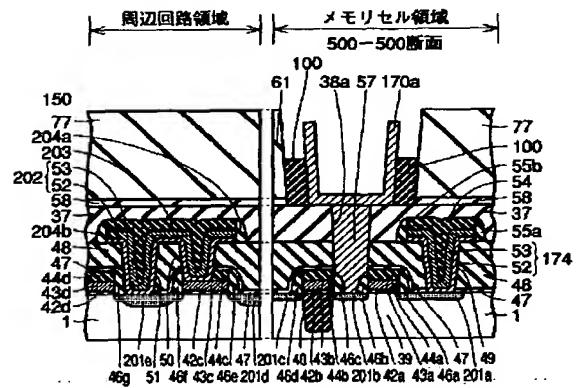
【図55】



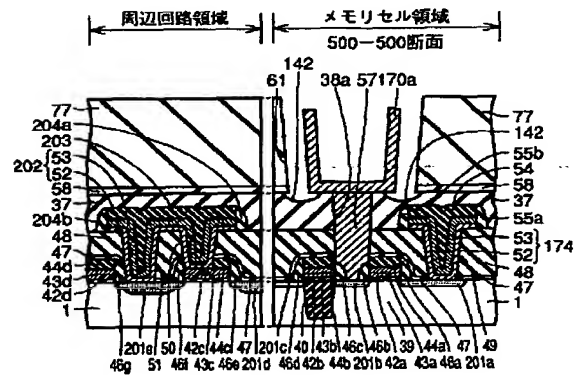
【図56】



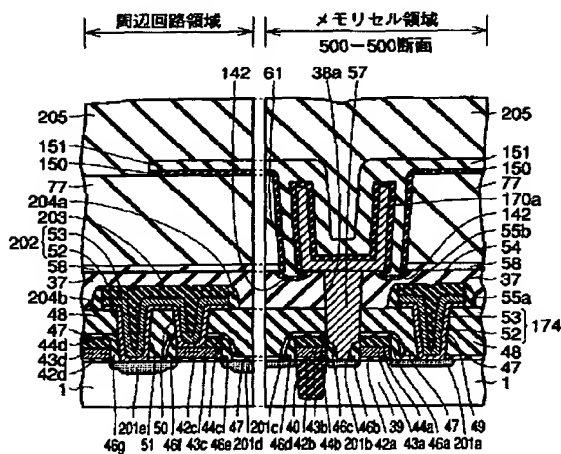
【図57】



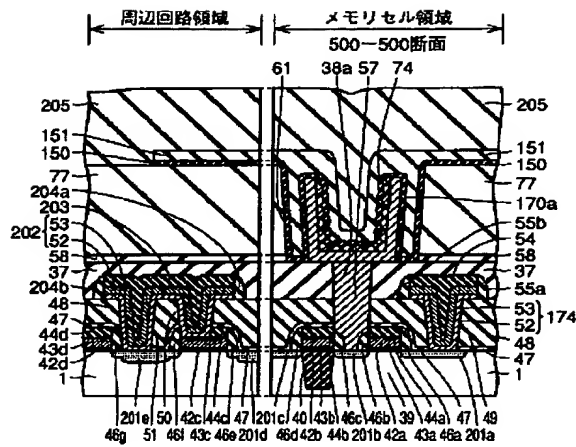
【図59】



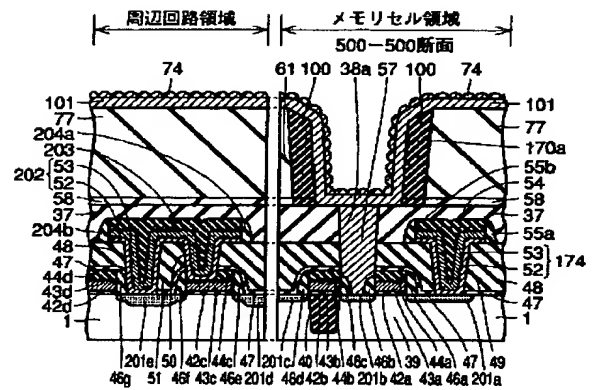
【図58】



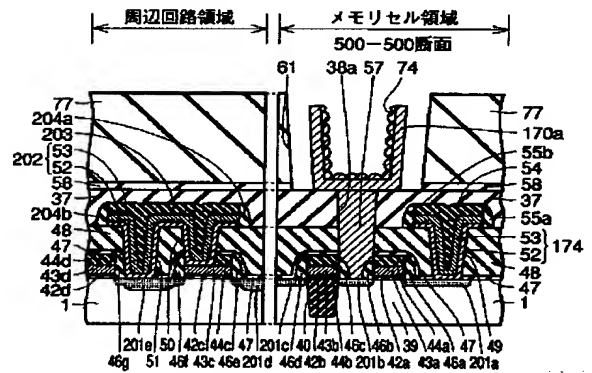
【図 6 0】



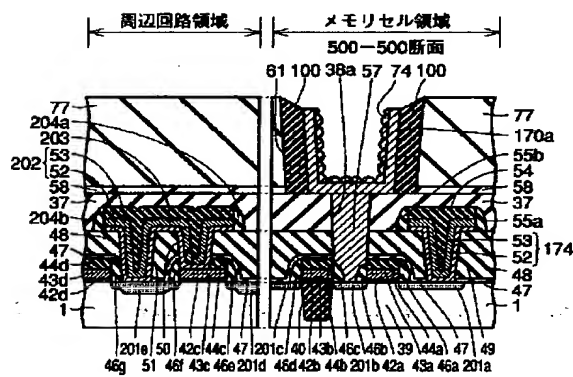
【図 6 1】



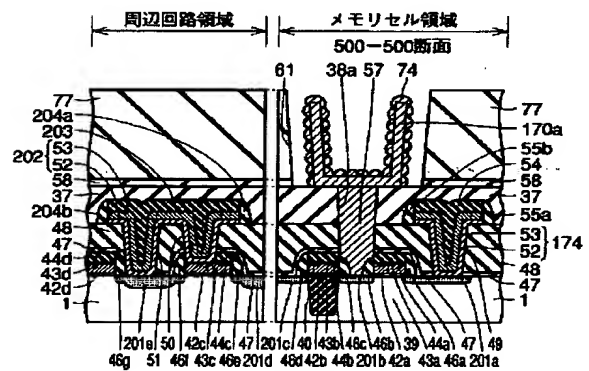
【図 6 3】



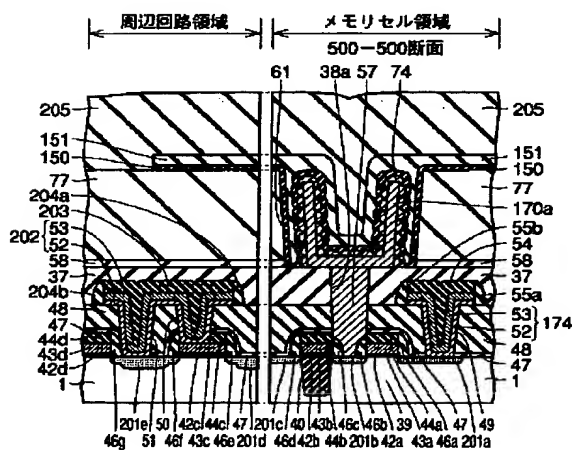
【図 6 2】



【図 6 5】

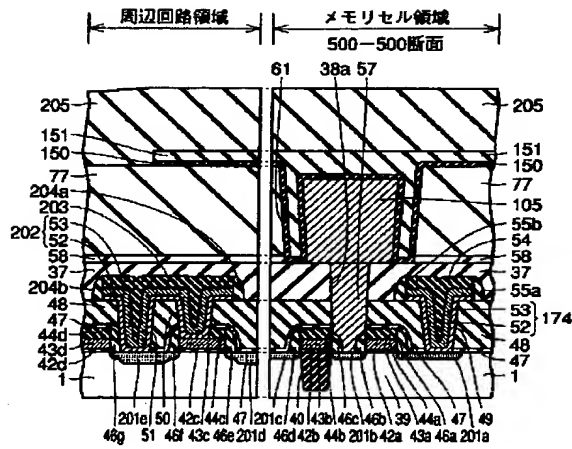


【図 6 4】

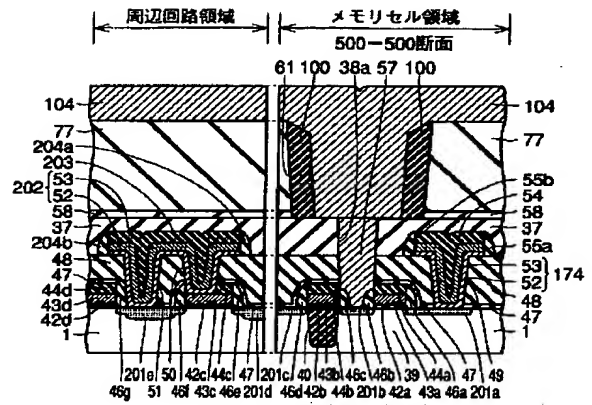




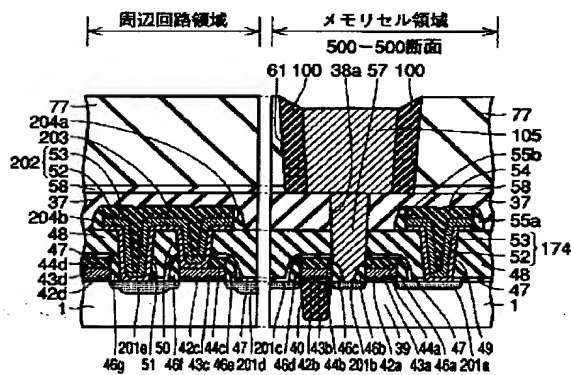
【図 6 6】



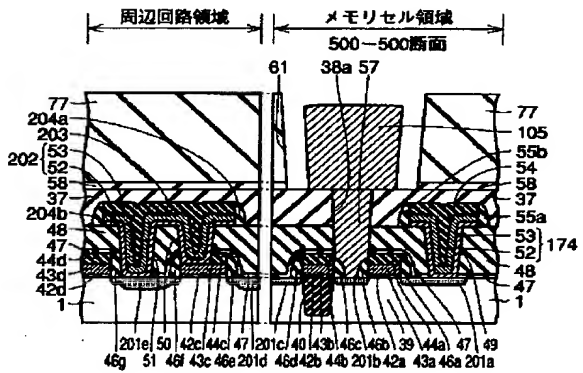
【図 6 7】



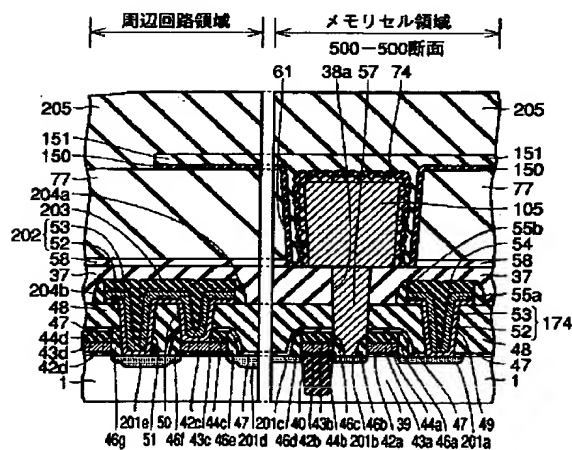
【図 6 8】



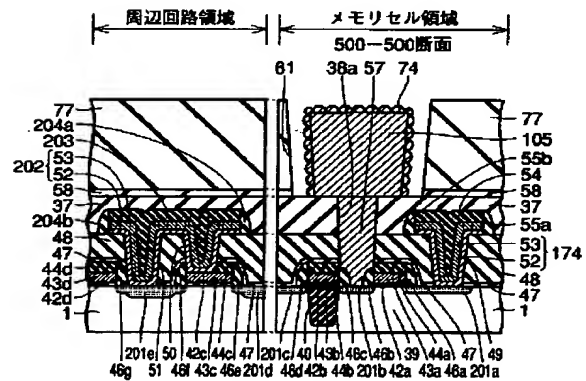
【図 6 9】



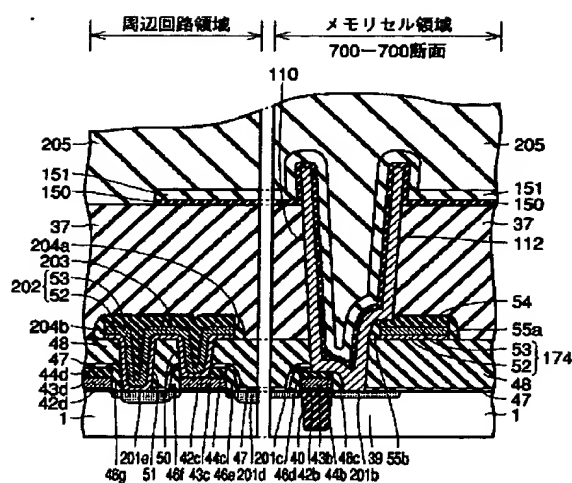
【図 7 0】



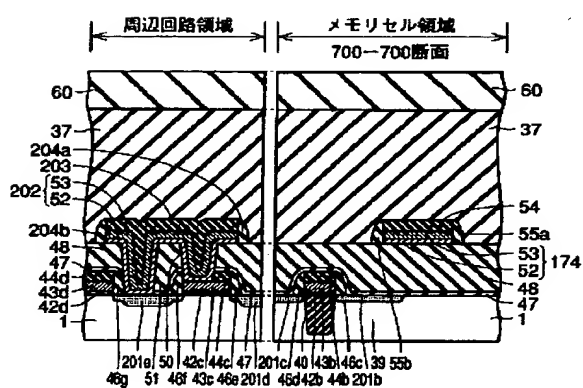
【図 7 1】



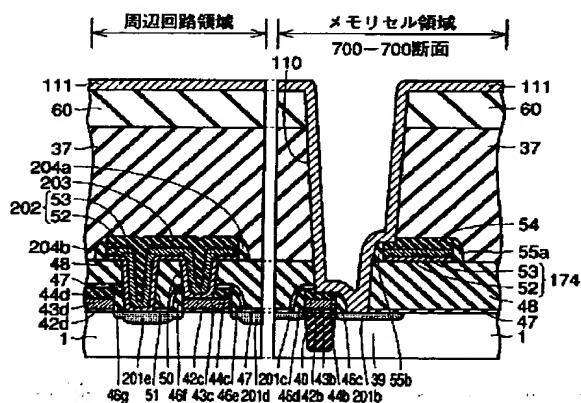
【図 7 2】



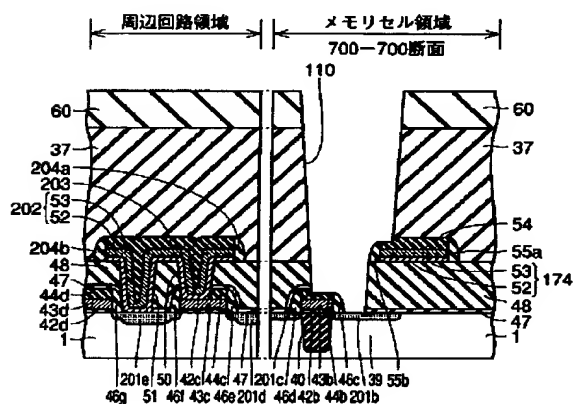
【図 7 3】



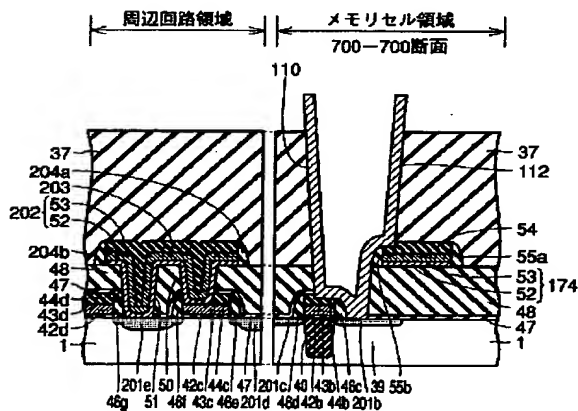
【図 7 5】



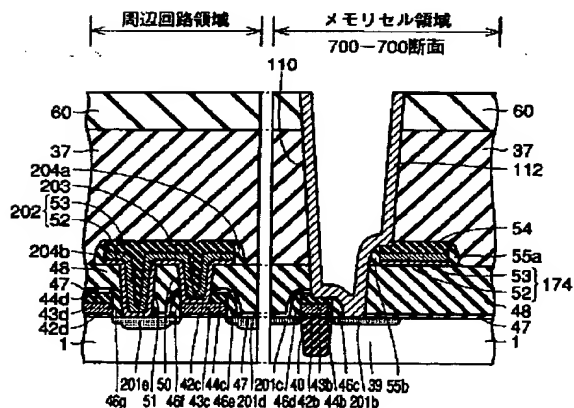
【図 7 4】



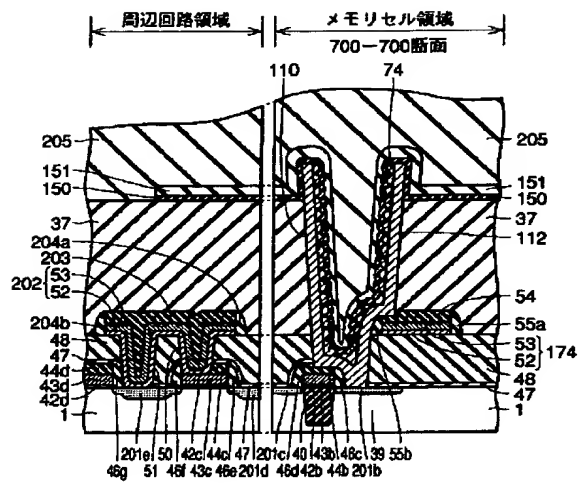
【図 7 7】



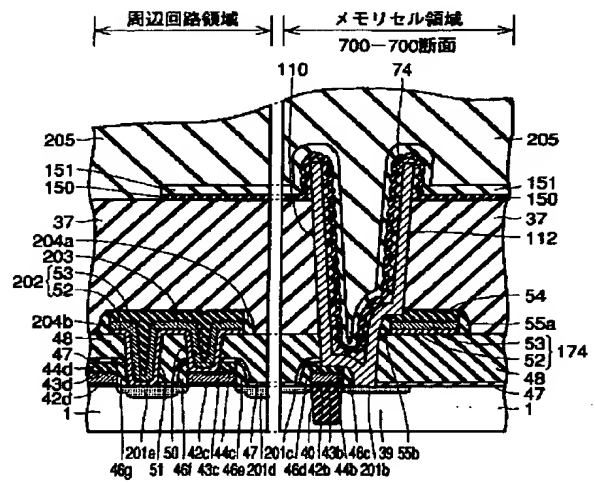
【図 7 6】



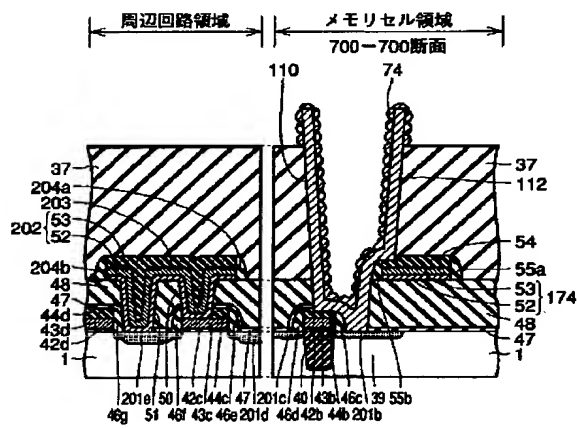
【図 7 8】



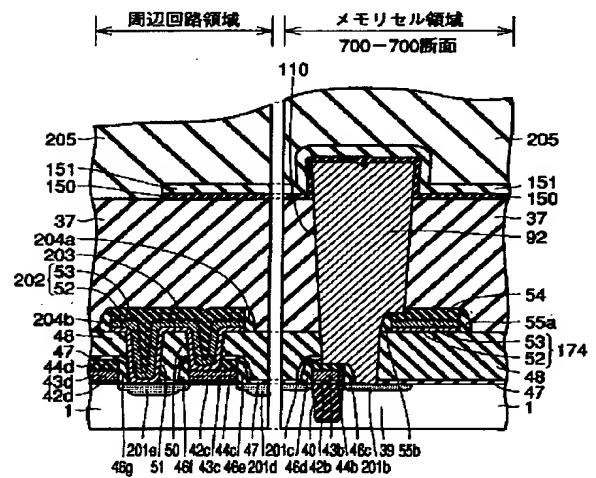
【図 7 9】



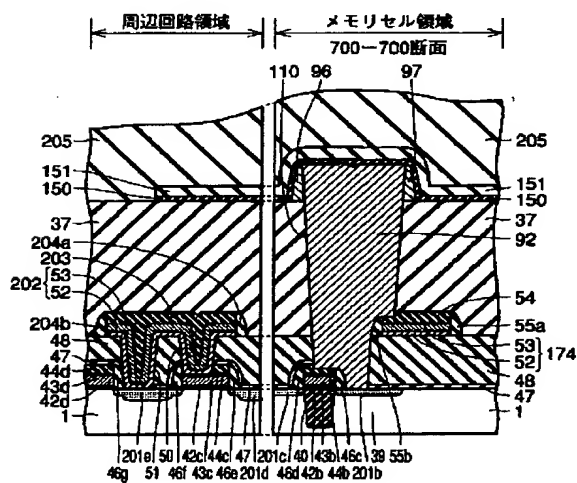
【図 8 0】



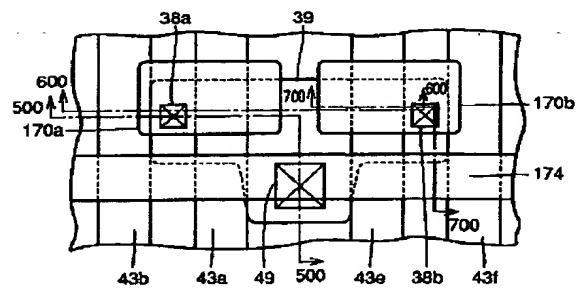
【図 8 1】



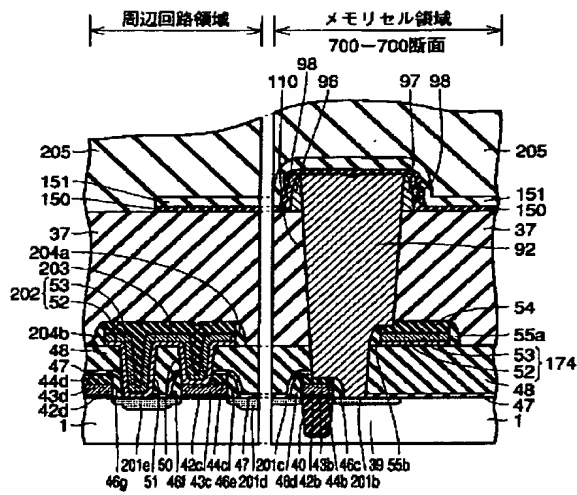
【図 8 2】



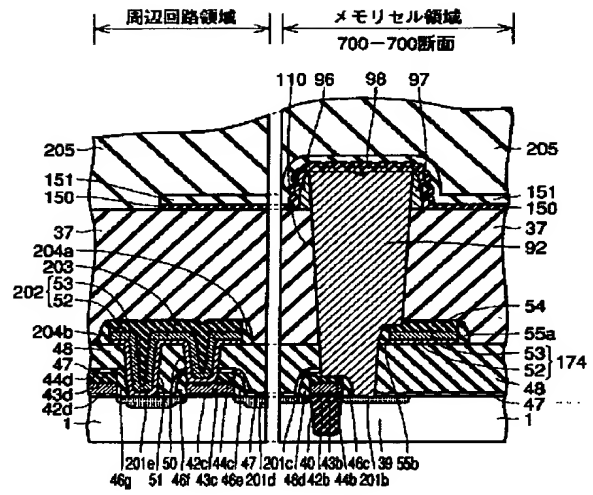
【図 8 5】



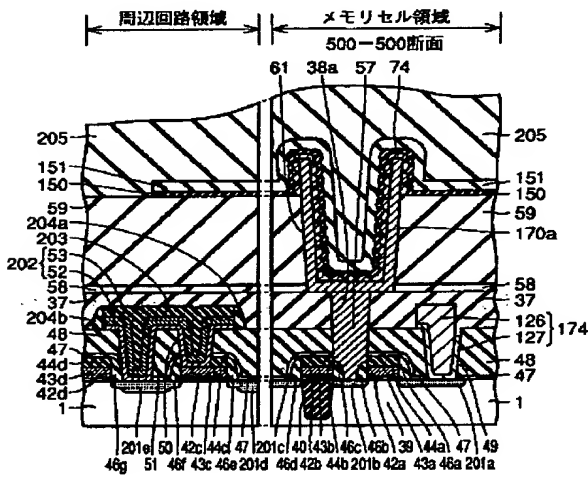
【図 8 3】



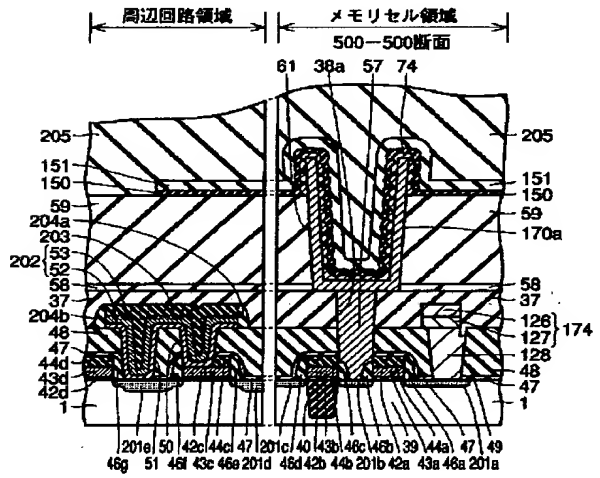
【図 8 4】



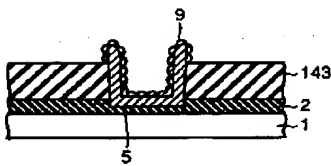
【図 8 6】



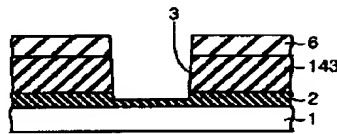
【図 8 7】



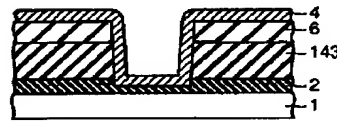
【図 9 2】



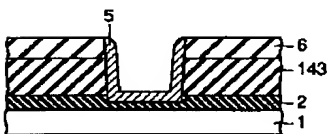
【図 9 3】



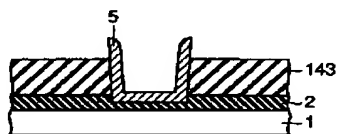
【図 9 4】



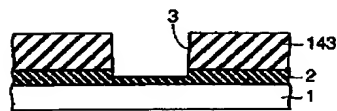
【図 9 5】



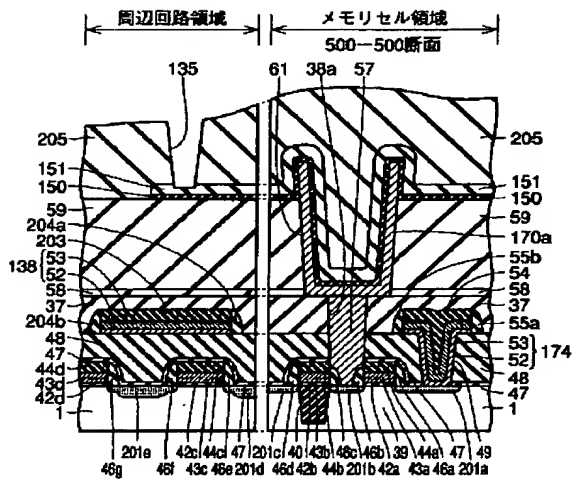
【図 9 6】



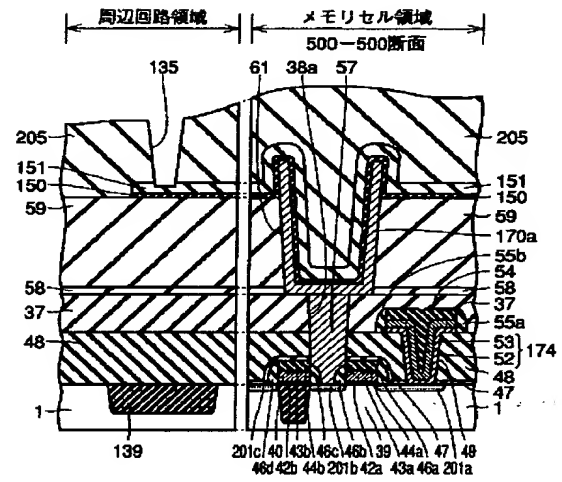
【図 9 7】



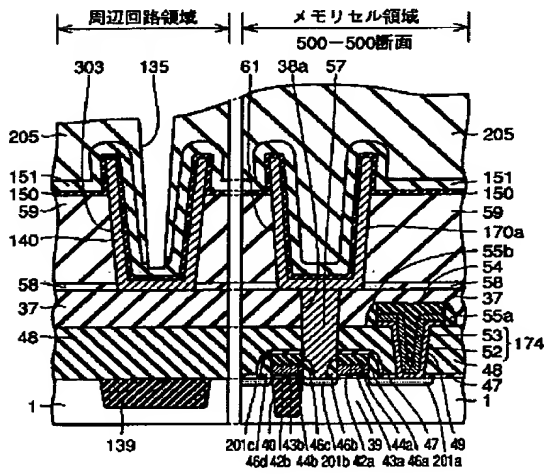
【図 88】



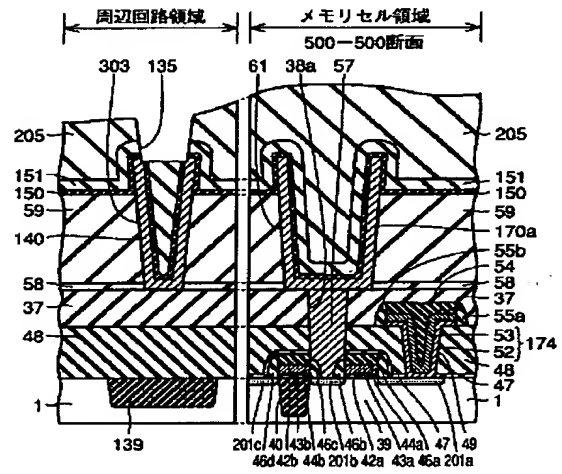
【図 89】



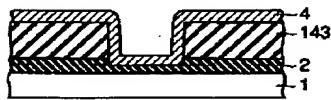
【図 90】



【図 91】



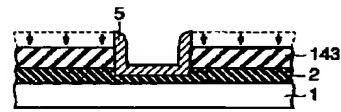
【図 98】



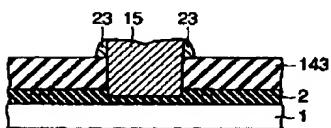
【図 99】



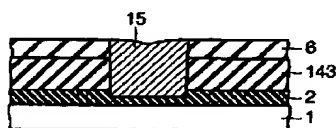
【図 100】



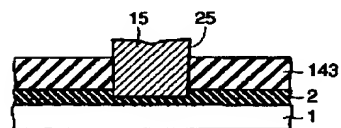
【図 101】



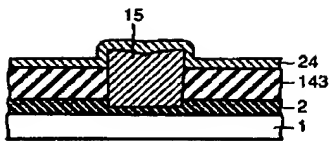
【図 102】



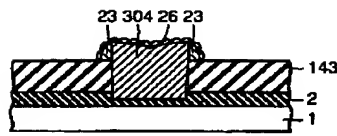
【図 103】



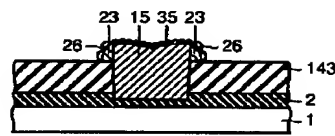
【図104】



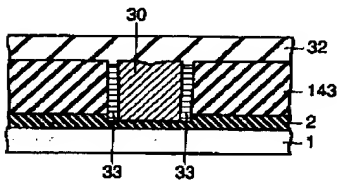
【図105】



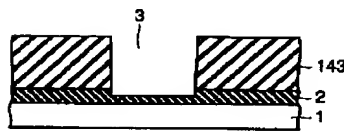
【図106】



【図107】



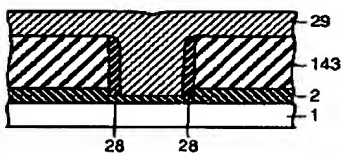
【図108】



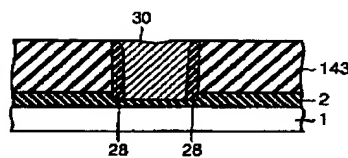
【図109】



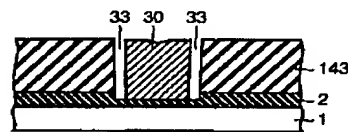
【図110】



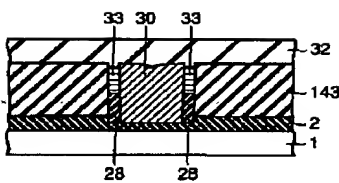
【図111】



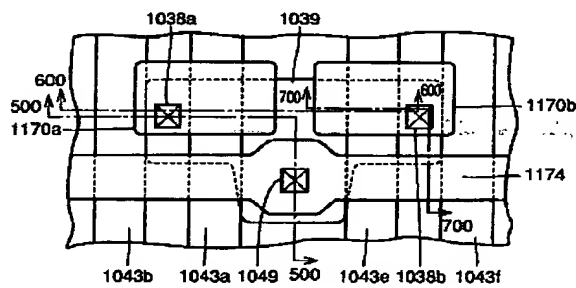
【図112】



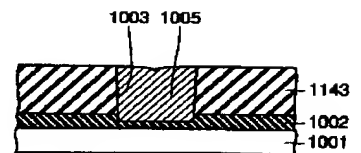
【図113】



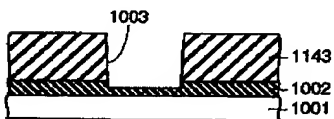
【図114】



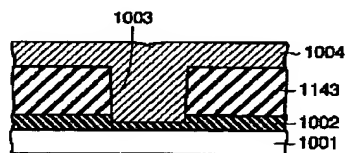
【図118】



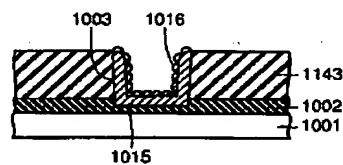
【図119】



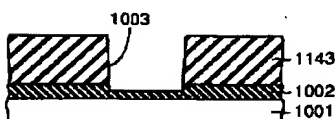
【図120】



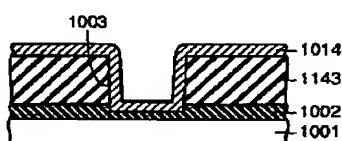
【図121】



【図122】

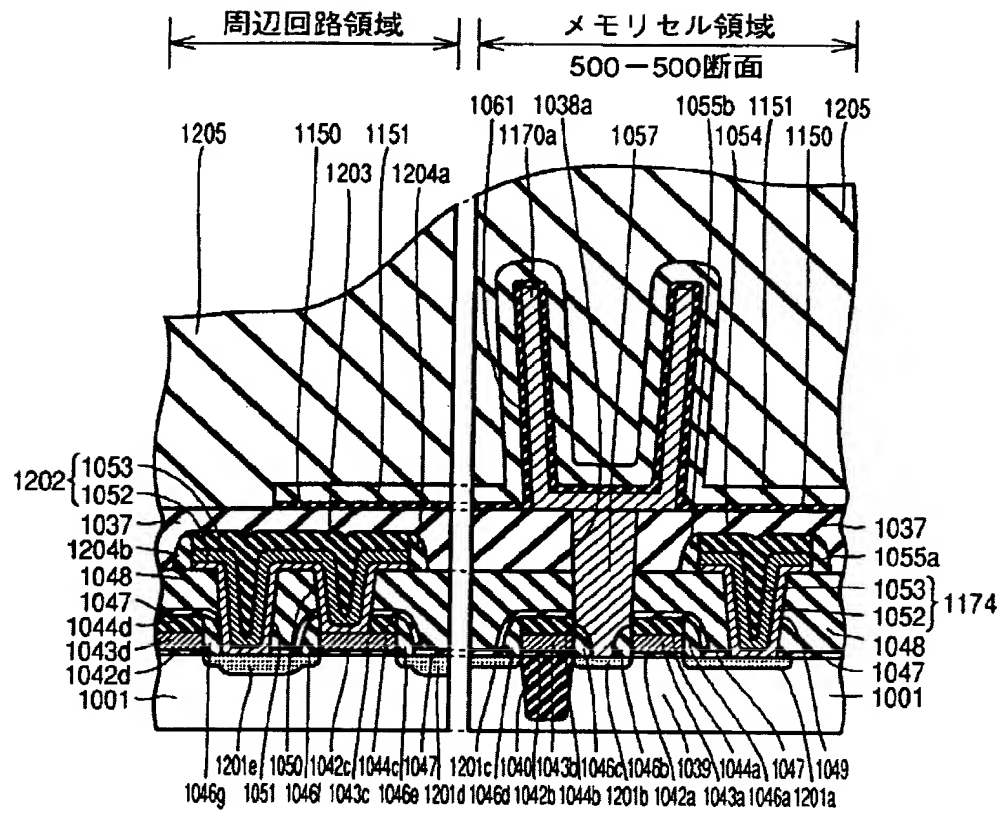


【図123】

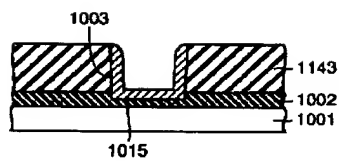




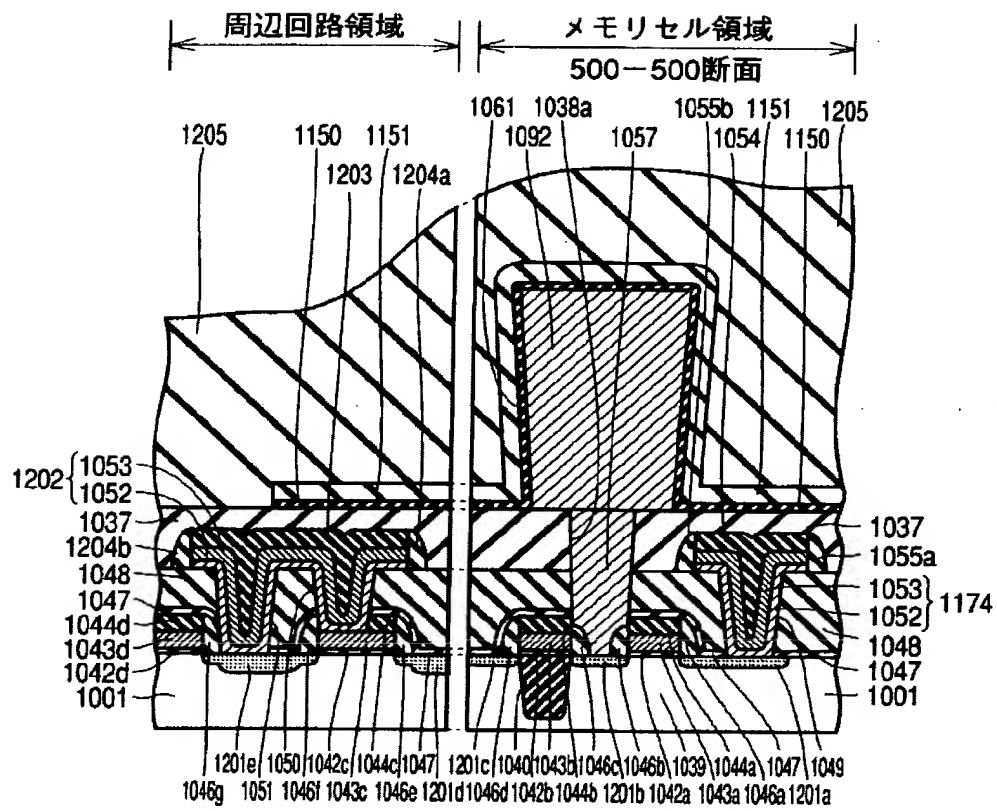
【図 115】



【図 124】



【図 1 1 6】



【図 117】

